

**DISEÑO Y ANÁLISIS DE UN CORRECTOR DE ARMÓNICOS UTILIZANDO UN
CONTROLADOR DIGITAL Y UN CONVERTIDOR BUCK A TRAVÉS DE LA
TÉCNICA DEL FACTOR K**

JUAN ANDRÉS PÉREZ RÚA
JORGE MARIO NIETO MARTÍNEZ

UNIVERSIDAD TECNOLÓGICA DE BOLIVAR
FACULTAD DE INGENIERÍA
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA Y ELECTRÓNICA
CARTAGENA DE INDIAS, BOLIVAR, COLOMBIA
2012

**DISEÑO Y ANÁLISIS DE UN CORRECTOR DE ARMÓNICOS UTILIZANDO UN
CONTROLADOR DIGITAL Y UN CONVERTIDOR BUCK A TRAVÉS DE LA
TÉCNICA DEL FACTOR K**

JUAN ANDRÉS PÉREZ RÚA
JORGE MARIO NIETO MARTÍNEZ

Trabajo de grado presentado para optar por el título de:
Ingeniero Electricista
Ingeniero Electrónico

Tutor:
PhD. Jose Luis Villa Ramírez

UNIVERSIDAD TECNOLÓGICA DE BOLIVAR
FACULTAD DE INGENIERÍA
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA Y ELECTRÓNICA
CARTAGENA DE INDIAS, BOLIVAR, COLOMBIA
2012

Resumen

La finalidad de este trabajo de grado es el diseño de un Corrector Activo de Armónicos, el cual logre disminuir la distorsión armónica de corriente generada por las cargas no lineales en el sistema eléctrico. En la actualidad la mayoría de equipos electrónicos de uso más frecuente usan elementos no lineales para su funcionamiento, tales como convertidores de potencia DC-DC.

Para el desarrollo de este proyecto se empieza por realizar un estudio del estado del arte de los correctores activos de armónicos, se seleccionan las estrategias que se consideran más viables y óptimas para el diseño de un prototipo. Luego se ahonda en la base teórica necesaria para comprender el funcionamiento general del corrector, encontrando detalladamente los criterios de diseño. Se dimensionan todos y cada uno de los dispositivos que conforman al sistema, de la mano con la lógica de funcionamiento estudiada. Se realiza el modelamiento por espacio de estados de un convertidor DC-DC, efectuando su análisis temporal y se comparan las prestaciones que generan dos diferentes metodologías de control. A continuación se simula el sistema diseñado y se muestra su validez, mostrando para diferentes casos la disminución drástica del contenido de armónicos inyectados, comparando el efecto que genera una carga no lineal en contraparte. Los límites a alcanzar en la distorsión armónica de la corriente de línea fueron tomados de acuerdo con el estándar IEEE 519-1992 "Recommended Practices and requirements for Harmonic Control", teniendo en cuenta la potencia nominal del prototipo. Por último se realizan los primeros pasos para la implementación del corrector, obteniendo resultados satisfactorios respecto a una de sus etapas, en donde se demuestra la confiabilidad del modelo utilizado e indicando las diferentes respuestas transitorias y estables obtenidas con dos controladores diferentes.

Finalmente se realiza el análisis de los resultados obtenidos en la simulación y se presentan las conclusiones a las que se llegó al terminar este trabajo.

Índice general

Resumen	4
Agradecimientos	18
I Introducción y Objetivos	20
II Estado del Arte	25
1. Topologías usadas como Rectificador Controlado	27
1.1. Topología Buck	27
1.2. Topología Boost	28
1.3. Topología Flyback	28
1.4. Topología Buck-Boost	29
1.5. Topología Cuk	29
1.6. Topología Sepic	30
2. Técnicas de Control	31
2.1. Control por corriente pico	31
2.2. Control por corriente promedio	31
2.3. Control por Frontera o Borderline	32
2.4. Control por corriente discontinua PWM	32
2.5. Control por Histéresis	32
III Marco Teórico	34
3. Armónicos en Sistemas de Potencia	35
3.1. Definiciones Fundamentales	35
3.2. Estudio Matemático de los Armónicos	36
3.3. Causas y consecuencias de los Armónicos	39
4. Teoría de Funcionamiento del Corrector de Armónicos	42
4.1. Propiedades del Corrector de Armónicos Ideal	43
4.2. Propiedades y funcionamiento del Corrector de Armónicos Real	45
5. Teoría de diseño del Corrector de Armónicos	52
5.1. Convertidor Sepic	52
5.1.1. Switch Controlado ON $0 \leq t < DT_s$	53
5.1.2. Switch Controlado OFF $DT_s \leq t < T_s$	54

5.1.3.	Funciones de Transferencia en DC	54
5.1.4.	Dinámica de AC	56
5.1.5.	Implementación como rectificador controlado	57
5.1.5.1.	Controlador de corriente	57
5.1.5.2.	Lazo de feedforward	59
5.1.5.3.	Controlador de voltaje	59
5.1.5.4.	Criterios para el cálculo de L_{in} , C_t , L_{out} y C_{out}	63
5.1.5.5.	Control Digital Del Rectificador Controlado	64
5.2.	Convertidor Buck	67
5.2.1.	Switch Controlado ON $0 \leq t < DT_s$	68
5.2.2.	Switch Controlado OFF $0 \leq t < DT_s$	69
5.2.3.	Función de Transferencia en DC ideal	69
5.2.4.	Función de Transferencia en DC real	70
5.2.5.	Modo de Conducción Continua (CCM) y Regulación de la Tensión de Carga	71
5.2.6.	Selección Dispositivos de Potencia	72
5.2.7.	Modelamiento en el Espacio de Estados	73
5.2.8.	Amplificador Tipo III	78
IV	Diseño del Corrector de Armónicos	81
6.	Diseño del rectificador controlado topología Sepic	83
6.1.	Dimensionamiento de la etapa de potencia	83
6.1.1.	Dimensionamiento de los elementos reactivos	85
6.1.2.	Dimensionamiento de los dispositivos de potencia	87
6.2.	Diseño de la etapa de control	92
6.2.1.	Diseño del Hardware	92
6.2.1.1.	Circuitos de acondicionamiento de señal	94
6.2.2.	Diseño del Firmware	95
6.2.2.1.	Sistema de generación de reloj	95
6.2.2.2.	Convertidor Análogo/Digital	97
6.2.2.3.	Timers	99
6.2.2.4.	Comparadores	101
6.2.2.5.	Servicios de Interrupción	102
7.	Diseño del Convertidor DC-DC topología Buck	105
7.1.	Dimensionamiento de la etapa de potencia	105
7.1.1.	Dimensionamiento de los elementos reactivos	106
7.1.2.	Dimensionamiento de los dispositivos de potencia	109
7.2.	Diseño de la etapa de control	115
7.2.1.	Referencia de la red de compensación	116
7.2.2.	Oscilador	117
7.2.3.	Control de tiempo muerto	117
7.2.4.	Configuración de la salida	117
7.2.5.	Red de control	117
8.	Diseño de Circuitos Auxiliares	134
8.1.	Protecciones	134
8.1.1.	Protección contra sobretensión	134
8.1.1.1.	Dimensionamiento disipadores de calor de los dispositivos de potencia del rectificador controlado	136

8.1.1.2. Dimensionamiento disipadores de calor de los dispositivos de potencia del convertidor buck	137
8.1.2. Protección contra sobrecorriente	138
8.1.3. Protección contra sobrevoltaje	139
8.2. Circuito de Alimentación	140
V Simulación	143
9. Esquemáticos diseñados	144
10.Resultados de las Simulaciones	149
10.1. Convertidor Buck	149
10.1.1. Variables de Gran Señal	149
10.1.1.1. Voltaje de entrada mínimo - Controlador Proporcional	149
10.1.1.2. Voltaje de entrada mínimo - Controlador Factor K	151
10.1.1.3. Voltaje de entrada nominal - Controlador Proporcional	152
10.1.1.4. Voltaje de entrada nominal - Controlador Factor K	153
10.1.1.5. Voltaje de entrada máximo - Controlador Proporcional	154
10.1.1.6. Voltaje de entrada máximo - Controlador Factor K	156
10.1.2. Variables de Pequeña Señal	157
10.1.2.1. Transitorio Control Proporcional	157
10.1.2.2. Transitorio Control Factor K	158
10.2. Corrector de Armónicos	159
10.2.1. Voltaje de entrada mínimo	160
10.2.2. Voltaje de entrada nominal	163
10.2.3. Voltaje de entrada máximo	166
VI Implementación del Convertidor Buck	170
11.Resultados	171
11.1. Variables de Gran Señal	171
11.1.1. Voltaje de entrada mínimo - Controlador Proporcional	171
11.1.2. Voltaje de entrada mínimo - Controlador Factor K	172
11.1.3. Voltaje de entrada nominal - Controlador Proporcional	175
11.1.4. Voltaje de entrada nominal - Controlador Factor K	176
11.1.5. Voltaje de entrada máximo - Controlador Proporcional	178
11.1.6. Voltaje de entrada máximo - Controlador Factor K	179
11.2. Variables de Pequeña Señal	181
11.2.1. Transitorio Control Proporcional	181
11.2.2. Transitorio Control Factor K	182
VII Análisis de Resultados	185
12.Convertidor Buck	186
12.1. Variaciones de Gran Señal	186
12.2. Variaciones de Pequeña Señal	191
13.Rectificador Controlado	193

ÍNDICE GENERAL

9

VIII Conclusiones

196

Índice de figuras

1.1. <i>Convertidor Buck</i>	27
1.2. <i>Convertidor Boost</i>	28
1.3. <i>Convertidor Flyback</i>	28
1.4. <i>Convertidor Buck-Boost</i>	29
1.5. <i>Convertidor Cuk</i>	29
1.6. <i>Convertidor Sepic</i>	30
3.1. <i>Triángulo de potencia</i>	36
3.2. <i>Factor de Potencia por Distorsión vs Distorsión Armónica Total</i>	39
4.1. <i>Rectificador Clásico</i>	42
4.2. <i>Forma de onda de la corriente de entrada del rectificador clásico</i>	43
4.3. <i>Modelo equivalente puerto de entrada de un rectificador ideal</i>	44
4.4. <i>Potencia de salida del rectificador ideal</i>	44
4.5. <i>Rectificador controlado por PWM</i>	45
4.6. <i>Formas de onda características de un rectificador ideal controlado</i>	46
4.7. <i>$P_{ac}(t)$ vs P_{out}</i>	48
4.8. <i>Voltaje condensador de salida ($V_{C_{out}}(t)$)</i>	48
4.9. <i>Formas de onda lazo de control de voltaje con ancho de banda infinito</i>	50
4.10. <i>Esquema general de un corrector de armónicos</i>	50
5.1. <i>Esquemático Convertidor Sepic</i>	52
5.2. <i>Convertidor Sepic - ON</i>	53
5.3. <i>Convertidor Sepic - OFF</i>	54
5.4. <i>M_V vs D - Ideal</i>	55
5.5. <i>M_V vs D - Real</i>	55
5.6. <i>Convertidor Sepic - Modelo AC</i>	56
5.7. <i>Convertidor Sepic utilizado como rectificador controlado</i>	57
5.8. <i>f_s vs θ</i>	58
5.9. <i>Circuito propuesto para el controlador de corriente</i>	59
5.10. <i>Gráfico de Bode de $G_{ac}(s)$ planta rectificador controlado</i>	60
5.11. <i>Diagrama de bloques - Sistema de control lineal</i>	61
5.12. <i>Circuito Amplificador Tipo II</i>	62
5.13. <i>Respuesta en Frecuencia $G_C(s)$ Amplificador Tipo II</i>	62
5.14. <i>Máquina de estados del sistema</i>	67
5.15. <i>Esquemático Convertidor Buck Real</i>	68
5.16. <i>Convertidor Buck Real - ON</i>	68
5.17. <i>Convertidor Buck-OFF</i>	69
5.18. <i>Formas de onda típicas convertidor Buck</i>	70
5.19. <i>Convertidor Buck operando en el límite entre CCM y DCM</i>	71

5.20. Diagrama de Bloques para el convertidor Buck	75
5.21. Circuito Equivalente en AC Convertidor Buck Real	77
5.22. Circuito Amplificador Tipo III	78
5.23. Respuesta en Frecuencia $G_C(s)$ Amplificador Tipo III	78
6.1. Curva paramétrica de $\Delta I_{L_{in}} - L_{in} - THD_i$	84
6.2. Hoja de Datos Inductor rectificador controlado (L_{in})	85
6.3. Hoja de datos condensador de salida rectificador controlado (C_{out})	87
6.4. Hoja de Datos Puente de Diodos	88
6.5. Hoja de datos dispositivo de potencia controlado sw_1 rectificador controlado	89
6.6. SOA dispositivo sw_1 rectificador controlado	90
6.7. Hoja de datos driver rectificador controlado	90
6.8. Circuito propuesto para el disparo del Mosfet rectificador controlado	91
6.9. Hoja de Datos Dispositivo de Potencia No Controlado sw_2 rectificador controlado	92
6.10. Pinout dsPIC33FJ16GS502	93
6.11. Conexión mínima dsPIC33	93
6.12. Red de sensado de tensión	94
6.13. Red de sensado de corriente	95
6.14. Sistema de generación de reloj dsPIC33FJ16GS502	96
6.15. Esquema del PLL para el DSC	97
6.16. Módulo ADC	98
6.17. Módulo contador	100
6.18. Módulo comparador dsPIC33FJ16GS502	101
6.19. Ganancia de Magnitud y Fase de la Planta Rectificador Controlado para $f_c = 15Hz$	103
7.1. Hoja de Datos Inductor Buck (L)	106
7.2. Hoja de datos condensador Buck (C)	107
7.3. Hoja de datos transistor Buck (sw_1)	110
7.4. SOA dispositivo sw_1 Buck	111
7.5. Circuito propuesto para el disparo del Mosfet del Convertidor Buck	112
7.6. Hoja de datos Driver IRF2110	113
7.7. V_{GS} vs I_D Mosfet Buck	114
7.8. Hoja de datos diodo Buck (sw_2)	115
7.9. Diagrama de Bloques del controlador pwm TL494	116
7.10. Divisor de tensión para la referencia del controlador del Convertidor Buck	116
7.11. Gráfico del Lugar de las Raíces del modelo hallado	119
7.12. Gráficos de la simulación de la respuesta transitoria del sistema promediado y el sistema real $k = 0,1$	120
7.13. Gráfico de la variable de control (d) $k = 0,1$	120
7.14. Tensión de salida Convertidor Buck $k = 0,1$	121
7.15. Gráficos de la simulación de la respuesta transitoria del sistema promediado y el sistema real $k = 55$	121
7.16. Gráfico de la variable de control (d) $k = 55$	122
7.17. Tensión de salida Convertidor Buck $k = 55$	123
7.18. Gráficos de la simulación de la respuesta transitoria del sistema promediado y el sistema real $k = 113$	123
7.19. Gráfico de la variable de control (d) $k = 113$	124
7.20. Tensión de salida Convertidor Buck $k = 113$	124
7.21. Gráficos de la simulación de la respuesta transitoria del sistema promediado y el sistema real $k = 200$	125
7.22. Gráfico de la variable de control (d) $k = 200$	125
7.23. Tensión de salida Convertidor Buck $k = 200$	126

7.24. Gráfico de bode del modelo real del Convertidor Buck 127

7.25. Gráfico de bode del sistema compensado $f_c = 5kHz$ 128

7.26. Gráfico de bode del sistema compensado $f_c = 2,5kHz$ 129

7.27. Respuesta transitoria Convertidor Buck ancho de banda $f_c = 5kHz$ 130

7.28. Respuesta transitoria Convertidor Buck ancho de banda $f_c = 2,5kHz$ 130

7.29. Tensión de salida Convertidor Buck $f_c = 5kHz$ 131

7.30. Tensión de salida Convertidor Buck $f_c = 2,5kHz$ 131

7.31. Esquemático control proporcional 133

7.32. Esquemático control proporcional 133

8.1. Disposición dispositivo de potencia-disipador térmico 134

8.2. Equivalente térmico para disipación de calor 135

8.3. Disipadores térmicos 136

8.4. Características fusible seleccionado 139

8.5. Características varistor seleccionado 140

8.6. Circuito de alimentación 141

9.1. Esquemático etapa de rectificación-filtración 144

9.2. Esquemático etapa de potencia Rectificador Controlado 145

9.3. Esquemático etapa de control Rectificador Controlado 146

9.4. Esquemático etapa de potencia Convertidor Buck 147

9.5. Esquemático etapa de control Convertidor Buck - Control Proporcional 148

9.6. Esquemático etapa de control Convertidor Buck - Control Factor K 148

10.1. Voltaje de entrada ($V_{i(min)}(t)$) 150

10.2. Voltaje de salida ($V_o(t)$) para $V_{i(min)}$ - Controlador Proporcional 150

10.3. Corriente de línea ($I_{ac}(t)$) para $V_{i(min)}$ - Controlador Proporcional 151

10.4. Voltaje de salida ($V_o(t)$) para $V_{i(min)}$ - Controlador Factor K 151

10.5. Corriente de línea ($I_{ac}(t)$) para $V_{i(min)}$ - Controlador Factor K 152

10.6. Voltaje de entrada ($V_{i(nom)}(t)$) 152

10.7. Voltaje de salida ($V_o(t)$) para $V_{i(nom)}$ - Controlador Proporcional 153

10.8. Corriente de línea ($I_{ac}(t)$) para $V_{i(nom)}$ - Controlador Proporcional 153

10.9. Voltaje de salida ($V_o(t)$) para $V_{i(nom)}$ - Controlador Factor K 154

10.10. Corriente de línea ($I_{ac}(t)$) para $V_{i(nom)}$ - Controlador Factor K 154

10.11. Voltaje de entrada ($V_{i(max)}(t)$) 155

10.12. Voltaje de salida ($V_o(t)$) para $V_{i(max)}$ - Controlador Proporcional 155

10.13. Corriente de línea ($I_{ac}(t)$) para $V_{i(max)}$ - Controlador Proporcional 156

10.14. Voltaje de salida ($V_o(t)$) para $V_{i(max)}$ - Controlador Factor K 156

10.15. Corriente de línea ($I_{ac}(t)$) para $V_{i(max)}$ - Controlador Factor K 157

10.16. Transitorio $V_o(t)$ con perturbación en carga sin considerar pérdidas - Control Proporcional 158

10.17. Transitorio $V_o(t)$ con perturbación en carga considerando pérdidas - Control Proporcional 158

10.18. Transitorio $V_o(t)$ con perturbación en carga sin considerar pérdidas - Control Factor K . 159

10.19. Transitorio $V_o(t)$ con perturbación en carga considerando pérdidas - Control Factor K . 159

10.20. Corriente de línea ($I_{ac}(t)$) para $V_{ac(min)}$ 160

10.21. Voltaje de salida convertidor Sepic ($V_{out}(t)$) para $V_{ac(min)}$ 161

10.22. Rizado voltaje de salida convertidor Sepic ($\Delta V_{out(pp)}$) para $V_{ac(min)}$ 161

10.23. Voltaje de salida ($V_o(t)$) para $V_{ac(min)}$ 162

10.24. Corriente de salida ($I_o(t)$) para $V_{ac(min)}$ 163

10.25. Corriente de línea ($I_{ac}(t)$) para $V_{ac(nom)}$ 163

10.26. Voltaje de salida convertidor Sepic ($V_{out}(t)$) para $V_{ac(nom)}$ 164

10.27. Rizado voltaje de salida convertidor Sepic ($\Delta V_{out(pp)}$) para $V_{ac(nom)}$ 164

10.28. Voltaje de salida ($V_o(t)$) para $V_{ac(nom)}$ 165

10.29.	Corriente de salida ($I_o(t)$) para $V_{ac(nom)}$	165
10.30.	Corriente de línea ($I_{ac}(t)$) para $V_{ac(max)}$	166
10.31.	Voltaje de salida convertidor Sepic ($V_{out}(t)$) para $V_{ac(max)}$	166
10.32.	Rizado voltaje de salida convertidor Sepic ($\Delta V_{out(pp)}$) para $V_{ac(max)}$	167
10.33.	Voltaje de salida ($V_o(t)$) para $V_{ac(max)}$	167
10.34.	Corriente de salida ($I_o(t)$) para $V_{ac(max)}$	168
11.1.	Voltaje de salida ($V_o(t)$) para $V_{i(min)}$ – Controlador Proporcional	171
11.2.	Voltaje de salida ($V_o(t)$) para $V_{i(min)}$ – Controlador Factor K	172
11.3.	Ciclo de trabajo (D) para $V_{i(min)}$ – Controlador Factor K	173
11.4.	Corriente de línea ($I_{ac}(t)$) para $V_{i(min)}$ – Controlador Factor K	173
11.5.	Transformada de Fourier ($I_{ac}(t)$) para $V_{i(min)}$ – Controlador Factor K	174
11.6.	Voltaje de salida ($V_o(t)$) para $V_{i(nom)}$ – Controlador Proporcional	175
11.7.	Voltaje de salida ($V_o(t)$) para $V_{i(nom)}$ – Controlador Factor K	176
11.8.	Ciclo de trabajo (D) para $V_{i(nom)}$ – Controlador Factor K	176
11.9.	Corriente de línea ($I_{ac}(t)$) para $V_{i(nom)}$ – Controlador Factor K	177
11.10.	Transformada de Fourier ($I_{ac}(t)$) para $V_{i(nom)}$ – Controlador Factor K	177
11.11.	Voltaje de salida ($V_o(t)$) para $V_{i(max)}$ – Controlador Proporcional	178
11.12.	Voltaje de salida ($V_o(t)$) para $V_{i(max)}$ – Controlador Factor K	179
11.13.	Ciclo de trabajo (D) para $V_{i(max)}$ – Controlador Factor K	179
11.14.	Corriente de línea ($I_{ac}(t)$) para $V_{i(max)}$ – Controlador Factor K	180
11.15.	Transformada de Fourier ($I_{ac}(t)$) para $V_{i(max)}$ – Controlador Factor K	180
11.16.	Transitorio real ($V_o(t)$) para para perturbación en carga–Controlador Proporcional	181
11.17.	Transitorio filtrado ($V_o(t)$) para para perturbación en carga–Controlador Proporcional	182
11.18.	Transitorio real ($V_o(t)$) para para perturbación en carga–Controlador Factor K	182
11.19.	Transitorio filtrado ($V_o(t)$) para para perturbación en carga–Controlador Factor K	183
12.1.	Porcentajes de Error de los Resultados de simulación y Experimentación para la Tensión de salida en estado estable del Convertidor Buck	188
12.2.	Porcentajes de Error de los Resultados de simulación y Experimentación para la potencia de salida en estado estable del Convertidor Buck	188
12.3.	Resultados de simulación y Experimentación para la Distorsión armónica total de la corriente de entrada del Convertidor Buck	189
12.4.	Resultados de simulación y Experimentación para el factor de potencia a la entrada del Convertidor Buck	190
12.5.	Contenido Armónico Corriente de Entrada - Convertidor Buck - Voltaje de entrada mínimo 50V.	190
12.6.	Contenido Armonico Corriente de Entrada - Convertidor Buck - voltaje de entrada nominal 70V.	191
12.7.	Contenido Armónico Corriente de Entrada - Convertidor Buck - voltaje de entrada máximo 80V.	191

Índice de cuadros

3.1. <i>Máximos armónicos permisibles en porcentaje de la corriente de carga</i>	40
5.1. <i>Premisas de diseño del sistema</i>	82
6.1. <i>Premisas de diseño del rectificador controlado topología Sepic</i>	85
6.2. <i>Resumen de valores comerciales elementos reactivos rectificador controlado</i>	87
7.1. <i>Premisas de Diseño del Convertidor Buck</i>	105
7.2. <i>Resumen de valores comerciales elementos reactivos convertidor Buck</i>	107
7.3. <i>Variables asociadas al modelo real del convertidor buck</i>	118
12.1. <i>Tabla de datos Convertidor Buck - Voltaje de Entrada Mínimo 50V - Controlador Proporcional</i>	186
12.2. <i>Tabla de datos Convertidor Buck - Voltaje de Entrada Mínimo 50V - Controlador Factor K</i>	186
12.3. <i>Tabla de datos Convertidor Buck - Voltaje de Entrada Nominal 70V - Controlador Proporcional</i>	187
12.4. <i>Tabla de datos Convertidor Buck - Voltaje de Entrada Nominal 70V - Controlador Factor K</i>	187
12.5. <i>Tabla de datos Convertidor Buck - Voltaje de Entrada Máximo 80V - Controlador Proporcional</i>	187
12.6. <i>Tabla de datos Convertidor Buck - Voltaje de Entrada Máximo 80V - Controlador Factor K</i>	187
13.1. <i>Tabla de datos Rectificador Controlado - Voltaje de Entrada Mínimo $85V_{RMS}$</i>	193
13.2. <i>Tabla de datos Rectificador Controlado - Voltaje de Entrada Nominal $127V_{RMS}$</i>	193
13.3. <i>Tabla de datos Rectificador Controlado - Voltaje de Entrada Máximo $177V_{RMS}$</i>	193

Agradecimientos

Agradecemos profundamente a todos los que contribuyeron para la realización de este proyecto. En especial a nuestras familias que constantemente nos llenaron de ánimos y soporte, a todos y cada uno de los miembros del cuerpo de profesores de Ingeniería Eléctrica y Electrónica de la Universidad Tecnológica de Bolívar, quienes con sus enseñanzas y aporte nos formaron como Ingenieros, al Doctor Jose Luis Villa Ramírez, tutor de este trabajo de grado, quién por medio de su conocimiento y amabilidad nos guió por el camino adecuado, al Ingeniero Jaime Hernandez, quién nos acompañó en los primeros pasos del desarrollo del proyecto, sus pautas y enseñanzas fueron muy útiles para encaminar y fortalecer las bases del mismo, y por último pero no menos importante, al Ingeniero Juan Manuel Pérez Rúa, quién nos asesoró a lo largo del trabajo en especial con la Ingeniería de Hardware.

Parte I

Introducción y Objetivos

En los sistemas de potencia la transmisión de energía eléctrica se realiza a través de señales alternas de voltaje, esta técnica ha sido implementada desde el final del siglo XIX gracias al científico Nicolas Tesla, quién descubrió que mediante esta estrategia, a diferencia de la transmisión DC, se puede transmitir la energía a través de grandes distancias. Posteriormente con la invención del transformador, gracias a Lucien Gaulard y John Gibbs, los pequeños sistemas de distribución empezaron a aparecer, a lo largo del proceso de generación, transmisión y distribución se variaban los niveles de tensión para disminuir las pérdidas en dicho proceso. Desde entonces hasta la actualidad, dicha filosofía de funcionamiento se ha mantenido, sin embargo han aparecido con el desarrollo de la ciencia mayores avances que han permitido elevar los índices de flexibilidad, confiabilidad y seguridad que aquellos sistemas tan rústicos no ofrecían. El objetivo final es ofrecerles a los clientes, los consumidores finales -los cuales están conformados desde personas naturales en sus residencias, hasta las grandes industrias de fabricación o multinacionales- una energía pura, regulada bajo ciertos estándares de calidad. La aplicación que hacen los clientes de esa energía representa un tema crítico, dado que ciertas cargas que conectan en sus puntos de acceso, pueden perjudicar la calidad de la energía de todo el sistema de potencia. Las cargas no lineales tales como los convertidores conmutados (presentes en aparatos electrónicos como televisores, equipos de sonido, computadores) introducen armónicos al sistema de potencia, los cuales no son más que señales alternas cuya frecuencia es múltiplo de la fundamental (en el sistema de transmisión nacional colombiano la frecuencia es de $60Hz$). Si los armónicos diferentes a la frecuencia fundamental tienen magnitudes considerables estos pueden perjudicar la calidad de la energía que se le suministra a los clientes finales, provocando entre otras consecuencias el incremento en las pérdidas por efecto Joule, y la disminución en la eficiencia de las máquinas de generación (lo cual afecta notablemente a las empresas generadoras de energía), además el ruido que se inyecta al sistema puede generar daños en los aparatos conectados a este, pues en la medida que halla un gran contenido de armónicos la forma de onda de la tensión se alejará más de una señal senoidal pura, conformada en suma por grandes picos de voltaje.

A raíz de esta problemática, a lo largo de los últimos 10 años ha aumentado el interés por contrarrestar los efectos nocivos que producen las cargas no lineales. Las empresas dependen, cada vez más, de la energía eléctrica para alimentar cargas críticas, mientras que el creciente número de equipos eléctricos dotados de dispositivos electrónicos provoca un aumento de la distorsión armónica en la red del sistema de suministro de energía.

Tal como fue dicho anteriormente, este problema en su gran mayoría es introducido por los mismos usuarios y en una minoría de ocasiones es provocado por la red de distribución eléctrica. Por esta razón se han establecido una serie de procedimientos y especificaciones para limitar la distorsión que se genera en el funcionamiento correcto de los equipos, estos están enmarcados en la limitación de las corrientes armónicas que generan los equipos de los propios clientes, reduciendo las componentes armónicas. Existen varios métodos para tratar de lograr lo anterior: los filtros pasivos, transformadores de aislamiento, zig-zag, de acoplamiento vectorial, filtros activos, entre otros. Los filtros pasivos presentan varias carencias, con ellos no pueden lograrse objetivos de compensación complejos, no es posible modificar sus parámetros para ajustarse a variaciones de la carga y además pueden aparecer problemas de resonancia. La técnica constituida por transformadores, es eficaz contra los armónicos impares, pero no tienen ningún efecto sobre los restantes armónicos, agregándole a lo anterior que sus tamaños son excesivos. Existen dos tipos de correctores activos de armónicos: aquellos que están conectados en paralelo con la carga y funcionan bajo el principio de inyección de armónicos en contrafase, y por otro lado, los pre-reguladores, que son conectados entre la carga y la acometida eléctrica y funcionan bajo el principio de forzar la forma de onda de la corriente de entrada.

En este trabajo se concentran los esfuerzos en diseñar un pre-regulador utilizando un controlador digital, encargado de regular una tensión de salida, y en definitiva generar que la corriente de entrada siga una señal senoidal teniendo como carga un convertidor DC-DC. Se inicia por mostrar el estado del arte relacionado con el diseño de pre-reguladores, señalando las ventajas y desventajas de cada una de las topologías y estrategias de control. Luego se realiza un estudio matemático de los armónicos en los sistemas de potencia, demostrando el perjuicio que generan desde un enfoque analítico y cuantitativo, de allí se parte para indicar qué límites de distorsión armónica se esperan alcanzar, teniendo como

base un estándar internacional. En el Capítulo 4 se explica de manera detallada el funcionamiento del Corrector de Armónicos, en dónde se describen los bloques que lo conforman y la lógica de su operación. En el Capítulo 5 se explica al lector que herramientas fueron usadas para el diseño del Corrector de Armónicos, de todas y cada una de sus etapas, así como la descripción de la metodología implementada para el modelamiento en el espacio de estados de uno de los subsistemas del Corrector de Armónicos, lo anterior representa uno de los ejes más importantes del trabajo, ya que se integran conceptos clásicos como el análisis de sistemas mediante técnicas de frecuencia y conceptos desde un enfoque que solo proporciona el modelamiento por espacio de estados. En los Capítulos 6, 7 y 8 se aterrizan los conceptos emitidos en el Capítulo 5, con fines de dimensionar y seleccionar los elementos que lleven a la aplicabilidad lo explicado en la teoría. A su vez se realiza una confrontación entre dos diferentes estrategias de control para uno de los subsistemas. En los Capítulos 9 y 10 se resumen los esquemáticos diseñados del Corrector de Armónicos, y a su vez los resultados de las simulaciones de los subsistemas de forma independiente y en forma conjunta. Se muestra la validez del sistema diseñado, mostrando la distorsión armónica inyectada a la red por una carga no lineal y las mejoras que proporciona el Corrector de Armónicos, se indica para cada caso que el sistema cumple con los requerimientos exigidos de distorsión y factor de potencia total en el punto de conexión con la red. En el Capítulo 11 se muestran los resultados de la implementación de una de las etapas del Corrector (Convertidor Buck), de acuerdo con los resultados mostrados en las simulaciones. En los Capítulos 12 y 13 se realiza el análisis de los resultados obtenidos tanto en la simulación como en la implementación del Convertidor Buck, elaborando una confrontación entre las premisas de diseño y los resultados, se calculan los errores relativos y se describen de forma cualitativa los aspectos más relevantes. Finalmente se depura el análisis de resultados y se emiten las conclusiones del trabajo realizado.

En el desarrollo de este trabajo se lograron aplicar muchos conceptos adquiridos en los programas de ingeniería eléctrica y electrónica, explotando conceptos afines de las dos carreras, siendo los pilares fundamentales del proyecto la Electrónica de Potencia, el Control Automático, Microcontroladores, Análisis de Circuitos y Sistemas de Potencia. El trabajo incluye muchos elementos de investigación, propios del objetivo que se aborda al realizar una tesis de grado. En la ejecución del proyecto se encontraron muchas limitantes, como el hecho de que los elementos que conforman el sistema diseñado no son posibles de adquirirlos en su mayoría en la ciudad, e inclusive en el país.

Agradecemos a todos los profesores que contribuyeron en nuestra formación como Ingenieros, y especialmente por la colaboración inmensurable e incondicional del Doctor Jose Luis Villa.

Objetivo General

- Modelar, diseñar, simular un prototipo de Corrector de Armónicos conmutado utilizando una metodología de control digital eficiente.

Objetivos Específicos

- Revisar y documentar el estado del arte del desarrollo de Correctores de Armónicos en sistemas de potencia.

- Determinar la mejor topología y estrategia de control para la implementación del PFC.

- Modelar el sistema aplicando la metodología de variables de estado.

- Diseñar y simular la etapa de potencia y el controlador del PFC, para lograr validar el diseño ajustando los valores que sean necesarios.

Parte II

Estado del Arte

Con el transcurrir de los años ha aumentado el interés por la problemática que presentan los armónicos y el bajo factor de potencia para los sistemas de distribución y generación de energía eléctrica, como consecuencia han surgido cada vez más esfuerzos que buscan dar una solución.

Una de las soluciones propuestas y ampliamente utilizadas son los correctores activos de armónicos (conocidos también como PFC, por sus siglas en inglés Power Factor Corrector); en general los correctores activos de armónicos se clasifican en dos categorías dependiendo del principio de operación que utilizan. Aquellos que están conectados en paralelo con la carga y funcionan bajo el principio de inyección de armónicos en contrafase [1], y por otro lado, el principal objeto de estudio de este trabajo, los pre-reguladores, que son conectados entre la carga y la acometida eléctrica y funcionan bajo el principio de forzar la forma de onda de la corriente de entrada.

Son varias las topologías de convertidores estáticos que pueden ser utilizadas como procesador de potencia del pre-regulador (específicamente para una de sus etapas, el rectificador controlado, cuya función es rectificar la tensión de línea controlando la forma de onda de la corriente para que esta siga una señal senoidal), de igual forma existen variadas metodologías de control bien establecidas y desarrolladas.

La mayor parte de la información extraída para la construcción del estado del arte fue encontrada en revistas especializadas en el tema, en tesis de grado de nivel de maestría y en notas de aplicación de compañías de diseño y comercialización electrónica, tales como Microchip® , International Rectifier® y Fairchild semiconductor®.

A continuación se muestra un resumen de la investigación realizada haciendo referencias a los artículos en los cuales se puede profundizar para conocimiento del lector.

Capítulo 1

Topologías usadas como Rectificador Controlado

Las prestaciones y la dinámica del procesador de potencia varían en función de la organización y la cantidad de los elementos que lo conforman. Las topologías elevadoras y reductoras, Boost y Buck, respectivamente, son las madres de las demás topologías existentes. Las topologías Buck-Boost, Flyback, Cuk, Sepic, corresponden a variaciones de las topologías Boost y Buck, ya sea por el número de dispositivos activos utilizados, la utilización de transformadores, o una combinación de los principios de operación de estas.

1.1. Topología Buck

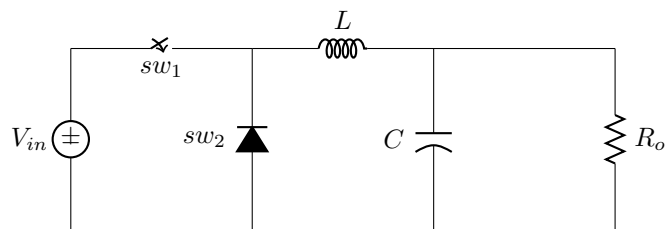


Figura 1.1: *Convertidor Buck*

La tensión a la salida de este convertidor es siempre inferior a la de entrada, su principal ventaja es que el filtro de salida es de segundo orden, por tanto el rizado de la tensión de salida es bajo en comparación con las demás topologías, una de sus desventajas es la necesidad de un driver complejo debido a la referencia flotante del dispositivo de potencia.

Si bien esta es una de las topologías básicas, no es comúnmente utilizada como rectificador controlado, debido a que la corriente a su entrada es discontinua por naturaleza y resulta ineficiente para altas potencias; sin embargo cómo se detalla en [2], es posible utilizar la topología Buck cómo rectificador controlado.

1.2. Topología Boost

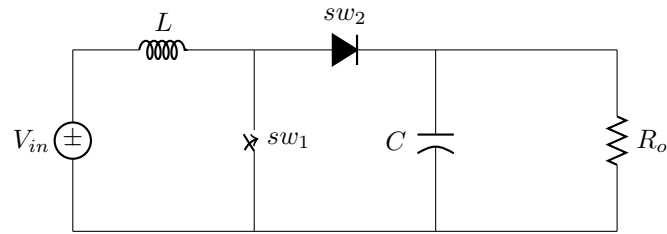


Figura 1.2: *Convertidor Boost*

La tensión a la salida de este convertidor es siempre superior a la de la entrada, su principal ventaja es que la corriente a la entrada es continua por naturaleza, debido a lo anterior la topología Boost se ha convertido en la más utilizada en las implementaciones de rectificadores controlados.

Los altos niveles de tensión a la salida hacen del capacitor un elemento de almacenamiento de energía muy eficiente, además de que el circuito de activación del dispositivo activo de potencia es más sencillo que el necesario para la topología Buck. Una de sus principales desventajas es la sobrecorriente que se presenta durante el encendido, debido al proceso inicial de carga del capacitor. En [3] se detalla el diseño de un rectificador controlado en topología Boost.

1.3. Topología Flyback

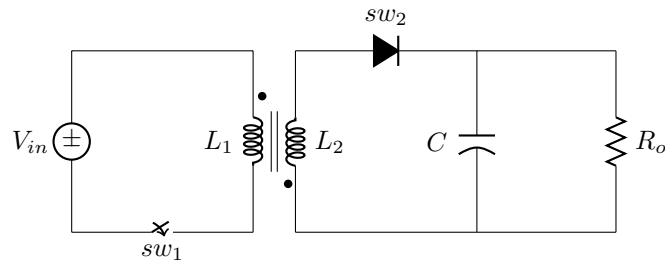


Figura 1.3: *Convertidor Flyback*

La tensión a la salida de este convertidor puede ser mayor o menor a la tensión de entrada. Una de sus desventajas es que la corriente a la entrada es discontinua, aún así es muy utilizada para aplicaciones de baja potencia, debido a que provee aislamiento, protección contra cortocircuito y start-up utilizando un solo dispositivo de potencia controlado.

Otra ventaja que presenta el uso de esta topología es que resulta sencillo realizar el control del sistema cuando este opera en el modo de corriente discontinua. En [4] se muestra un rectificador controlado diseñado con esta topología.

1.4. Topología Buck-Boost

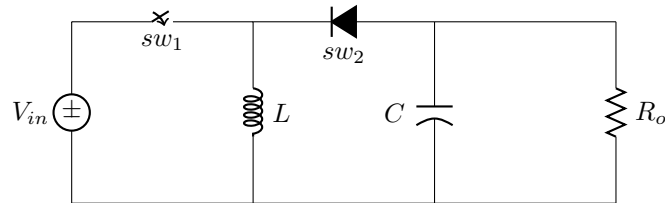


Figura 1.4: *Convertidor Buck-Boost*

Al igual que la topología Flyback, la Buck-Boost también es capaz de producir una tensión de salida superior o inferior a la de entrada. Dentro de sus desventajas se encuentra que la corriente a su entrada no es continua, aún así, es utilizada para aplicaciones de baja potencia. Por lo general esta topología se usa en el modo de corriente discontinua DCM, para así disminuir el stress en los dispositivos de potencia debido a la brusca transición de la corriente. En [5] se detalla el diseño de un rectificador controlado en topología Buck-Boost.

1.5. Topología Cuk

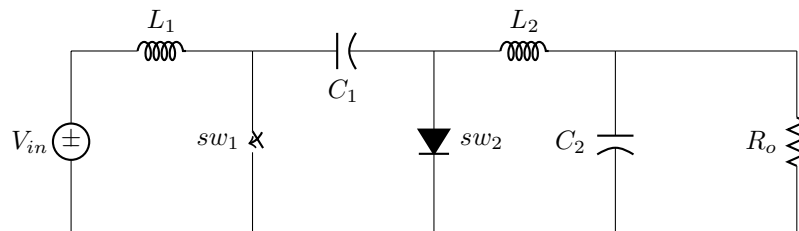


Figura 1.5: *Convertidor Cuk*

Este convertidor es capaz de producir una tensión de salida mayor o menor a la de entrada, pero con polaridad invertida. Dentro de sus ventajas se encuentra que la corriente a su entrada es continua, y dentro de sus desventajas esta su alto nivel de complejidad y su ya mencionada polaridad.

Esta topología junto con la Sepic son las menos populares en las implementaciones de rectificadores controlados, debido a que presentan una mayor complejidad. Puede ser utilizada en los modos de operación de corriente continua y discontinua, debido a que la corriente a la entrada es continua.

El análisis de la dinámica del sistema es mucho más complejo que el de las topologías antes mencionadas, su naturaleza de sistema de cuarto orden, y la existencia de varias condiciones de inestabilidad ocasionan que se eleve el cuidado en el diseño del controlador. En [6] se detalla el diseño de un rectificador controlado en topología Cuk.

1.6. Topología Sepic

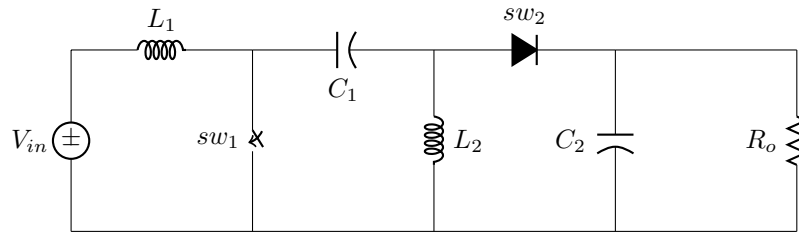


Figura 1.6: *Convertidor Sepic*

El convertidor Sepic es un sistema de 4 orden (2 inductores y 2 capacitores), capaz de producir una tensión de salida mayor o menor a la de entrada, dentro de sus ventajas está que la corriente a su entrada es continua, mientras que su dificultad de implementación representa una desventaja. A diferencia del Cuk, la tensión a la salida no es invertida.

Poca documentación existe sobre esta topología, esto aunado a su ya mencionada complejidad, puede llegar a ocultar la gran cantidad de ventajas que presenta su implementación. En los trabajos que han sido realizados utilizando esta topología [7], se aplicaron técnicas de control complejas en dónde consideraciones especiales deben ser tenidas en cuenta. Información adicional será dada más adelante sobre este convertidor, debido a que ha sido la topología escogida para este trabajo.

Capítulo 2

Técnicas de Control

A continuación se enlistan y explican las técnicas de control más usadas en los rectificadores controlados, información más detallada y descriptiva se encuentra en [8].

2.1. Control por corriente pico

En esta técnica, el switch controlado (transistor) S es encendido a frecuencia constante por una señal de reloj, y es apagado cuando la suma de la rampa con pendiente positiva de la corriente de entrada (corriente a través del transistor) y la rampa externa de compensación, alcanza la referencia de corriente senoidal. La referencia se obtiene escalando el voltaje de línea rectificado, por medio de la multiplicación de esta señal atenuada (por un factor K) con la señal de salida del amplificador de error de voltaje. De esta manera, la señal de referencia siempre está sincronizada y escalada respecto al voltaje de línea, obteniéndose así un factor de potencia muy cercano a uno (1).

Dentro de las ventajas de esta técnica de control se encuentra el hecho de que no es necesario el uso de amplificadores de error de corriente ni red de compensación de este lazo y la posibilidad de limitar la corriente a través del transistor. Como desventajas hay que señalar la presencia de subarmónicos para ciclos de trabajo mayores al 50 %, de forma que la rampa de compensación es necesaria y el control es más sensible a ruidos de conmutación.

Se encuentran circuitos integrados comerciales que implementan esta técnica de control, como por ejemplo el ML4812 (Microlinear) y el TK84812 (Toko).

2.2. Control por corriente promedio

Esta metodología de control en comparación con la anterior explicada, proporciona una mejor forma de onda en la corriente de entrada, para ello la corriente rectificada debe ser sensada y filtrada por un amplificador de error de corriente, para finalmente ser comparada con una señal triangular y así generar la señal PWM que activa al dispositivo de potencia.

El lazo de corriente minimiza el error entre la señal de corriente promedio de entrada y su referencia. Esta última señal es obtenida de la misma manera que en el control de corriente pico.

Dentro de las ventajas de esta metodología de control, se puede subrayar que no es necesario el uso de rampa de compensación, además el control es menos sensible a ruidos de conmutación (debido al filtrado de la corriente), proporciona una mejor forma en la onda de corriente de entrada. Como desventajas hay que señalar la complejidad asociada a la implementación de esta estrategia de control, debido al uso de multiplicadores y los dos lazos de control (corriente y voltaje).

Esta técnica de control resulta muy popular, muchos circuitos integrados como las familias UC1854/A (Unitrode), UC1855 (Unitrode), TK3854A (Toko), ML4821 (Microlinear), TDA4815 (Siemens), TDA4819

(Siemens), TA8310 (Toshiba), L4981A/B (SGS-Thomson), LT1248 (Linear Technology), LT1249 (Linear Technology) aplican la estrategia de control de corriente promedio.

2.3. Control por Frontera o Borderline

En esta técnica de control el tiempo de encendido del dispositivo de potencia se mantiene constante durante el ciclo de línea, lo cual ocurre cuando la corriente de entrada tiende a cero. De esta manera, el convertidor opera entre el modo continuo (corriente mayor a cero) y el modo discontinuo (corriente igual a cero). La corriente de entrada está constituida por una secuencia de triángulos cuyos picos son proporcionales al voltaje de línea. Así, la corriente promedio de entrada es proporcional al voltaje de línea sin modulación PWM durante el ciclo de línea.

Esta técnica de control permite no usar rampas de compensación, ni amplificadores de error de corriente, sin embargo su gran desventaja está enmarcada en la dificultad de implementar esta estrategia en aplicaciones donde se requiere alta potencia.

Se encuentran circuitos integrados comerciales que implementan esta técnica de control, como por ejemplo TDA4814 (Siemens), TDA4816 (Siemens), TDA4817 (Siemens), TDA4818 (Siemens), SG3561 (Silicon General), UC1852 (Unitrode), MC33261 (Motorola), MC33262 (Motorola), L6560 (SGS-Thomson)

2.4. Control por corriente discontinua PWM

Por medio de esta estrategia de control el lazo de corriente es completamente eliminado, de tal forma que el dispositivo de potencia opera a un tiempo de encendido y frecuencia constante. Esta técnica es idónea para las topologías Flyback, Cuk y Sepic, sin embargo en la topología Boost inyecta altas distorsiones a la corriente de línea. El integrado ML4813 (Micro Linear) aplica esta estrategia de control.

2.5. Control por Histéresis

La estrategia de control por Histéresis consiste en la generación de dos señales de referencia senoidales de corriente $I_{P,ref}$, $I_{V,ref}$, la primera está desplazada ΔI unidades verticales positivas respecto a una señal senoidal pura y la segunda ΔI unidades verticales negativas respecto a la misma señal. De acuerdo con lo anterior, esta técnica consiste en encender el dispositivo de potencia cuando la corriente de entrada es inferior a $I_{V,ref}$ y apagarlo cuando esta corriente supera a $I_{P,ref}$. De esta manera la corriente presenta un rizado de frecuencia variable el cual está enmarcado en un intervalo de histéresis ΔI .

Esta metodología representa una alternativa muy interesante para el diseño de rectificadores controlados, dado que proporciona una alta relación eficiencia/complejidad. Esto puede ser explicado al notar que no es requerido el uso de rampas de compensación ni amplificadores de error de corriente, a su vez su filosofía de funcionamiento puede ser implementada por medio de la programación de procesadores digitales, reduciendo así los materiales y el espacio requerido para el montaje. Por último hay que señalar la posibilidad de implementar esta estrategia en aplicaciones de alta potencia. Más adelante se detalla mayor información de esta técnica de control, dado que es la escogida para el diseño del rectificador controlado.

Parte III

Marco Teórico

Capítulo 3

Armónicos en Sistemas de Potencia

La información presentada en los capítulos 3 y 4 corresponde a un resumen del Capítulo X del libro de la referencia [10]

3.1. Definiciones Fundamentales

Armónico: Componente senoidal de una señal periódica, su frecuencia es múltiplo entero de la frecuencia fundamental de la señal reconstruida.

Factor de Potencia por desplazamiento (DPF): Se define como la razón entre la potencia activa total de entrada $P(watts)$ entre la potencia aparente correspondiente a las señales fundamentales de tensión y corriente $S_1(voltioamperios)$. Ver Figura (3.1). Representa el desplazamiento angular entre las señales fundamentales de tensión y corriente.

Factor de Potencia por distorsión (PF_{dis}): Factor de potencia ocasionado por el contenido de armónicos de la señal de corriente. Si la tensión RMS total es igual a la fundamental, entonces el factor de potencia por distorsión es la razón entre la corriente RMS de la señal fundamental y la corriente RMS total. Nótese que en el caso ideal el factor de potencia por distorsión es igual a 1 (señal de corriente puramente senoidal). Ver Figura (3.1).

Factor de Potencia Total: Se define como la razón de la potencia activa total de entrada $P(watts)$ entre la potencia aparente total de entrada $S(voltioamperios)$. También se concibe como el producto entre el factor de potencia por desplazamiento y el factor de potencia por distorsión.

THD_i (Total Harmonic Distorsion): Matemáticamente se define como la raíz cuadrada de la razón del contenido de armónicos de una señal de corriente entre el valor de la magnitud fundamental, expresado como un porcentaje.

$$THD_i = \sqrt{\frac{\sum_{n=2}^{\infty} I_n^2}{I_1^2}} \quad (3.1)$$

La Ecuación (3.1) describe la distorsión total de una señal de corriente. Nótese que en caso ideal el THD_i es igual a cero, esto se presenta bajo el escenario que una señal de corriente este formada únicamente por su armónico fundamental, resultando nula la magnitud del resto de armónicos; esto se traduce en formas de onda perfectamente senoidales, en la medida en que el THD_i se incremente la forma de onda distará más de una señal senoidal pura. Las implicaciones de poseer un THD_i elevado aguas arriba se explicarán en el numeral 3.3.

Valor *RMS*: Se define el valor *RMS* como la magnitud de una señal de corriente constante que ocasionaría en un resistor la misma disipación de potencia que la señal cuyo valor *RMS* está siendo calculado.

$$\begin{aligned}\theta &= \theta_1 + \alpha \\ P &= S_1 \cos(\theta_1) \\ DPF &= \cos(\theta_1) \\ PF &= \cos(\theta) = P/S = DPF * PF_{dis}\end{aligned}$$

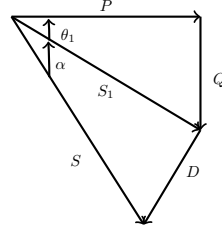


Figura 3.1: Triángulo de potencia

3.2. Estudio Matemático de los Armónicos

La representación más general que se puede dar de una carga conectada al sistema de distribución de energía local (acometida monofásica) es una impedancia que varía en el tiempo. Las variables eléctricas que describen un sistema son las señales de tensión y corriente, sus formas de onda puede ser reconstruidas utilizando el análisis de Fourier, para estas se tiene:

$$V(t) = V_0 + \sum_{n=1}^{\infty} V_n \cos(n\omega t - \varphi_n) \quad (3.2)$$

$$I(t) = I_0 + \sum_{n=1}^{\infty} I_n \cos(n\omega t - \theta_n) \quad (3.3)$$

La energía neta transmitida hacia la carga en un determinado tiempo T que corresponde al período de una señal, está dada por:

$$W = \int_0^T V(t)I(t)dt \quad (3.4)$$

La potencia promedio es una medida de la cantidad de energía útil que consume la carga, cómo se observa en la Ecuación (3.5).

$$\bar{P}_T = \frac{W}{T} = \frac{1}{T} \int_0^T V(t)I(t)dt \quad (3.5)$$

Si se sustituye en la Ecuación (3.5) las Ecuaciones (3.2) y (3.3), se obtiene:

$$\bar{P}_T = \frac{1}{T} \int_0^T \left(V_0 + \sum_{n=1}^{\infty} V_n \cos(n\omega t - \varphi_n) \right) \left(I_0 + \sum_{n=1}^{\infty} I_n \cos(n\omega t - \theta_n) \right) dt \quad (3.6)$$

Dado que la integral en un período del producto de funciones senoidales de distinta frecuencia siempre es igual a cero, cómo es mostrado en la *Ecuación (3.7)*, la *Ecuación (3.6)* puede ser reescrita cómo indica la *Ecuación (3.8)*:

$$\bar{P}_T = \frac{1}{T} \int_0^T (V_n \cos(n\omega t - \varphi_n)) (I_n \cos(n\omega t - \theta_n)) dt, \quad (3.7)$$

$$\left\{ 0 \text{ si } n \neq m \cap \frac{V_n I_n}{2} \cos(\varphi_n - \theta_n) \text{ si } n = m \right\}$$

$$\bar{P}_T = V_0 I_0 + \sum_{n=1}^{\infty} \frac{V_n I_n}{2} \cos(\varphi_n - \theta_n) \quad (3.8)$$

Queda así demostrado que para que exista energía útil en las ondas que viajan a través de un conductor que alimenta una carga, deben estar presentes componentes armónicas de voltaje y corriente de igual frecuencia, como se muestra en la *Ecuación (3.8)*. Por ejemplo, si $V(t)$ e $I(t)$ contienen ambos un tercer armónico, la potencia promedio es igual a:

$$\bar{P}_{T3} = \frac{V_3 I_3}{2} \cos(\varphi_3 - \theta_3) \quad (3.9)$$

En la *Ecuación (3.9)* $\frac{V_3 I_3}{2}$ es igual a la potencia aparente correspondiente al tercer armónico de corriente y voltaje. El término $\cos(\varphi_3 - \theta_3)$ representa el desplazamiento angular entre las señales del tercer armónico.

El valor *RMS* de una señal $F(t)$ de período T es:

$$F_{RMS} = \sqrt{\frac{1}{T} \int_0^T F^2(t) dt} \quad (3.10)$$

Transformando $F(t)$ en series de Fourier se obtiene:

$$F_{RMS} = \sqrt{F_0^2 + \sum_{n=1}^{\infty} \frac{F_n^2}{2}} \quad (3.11)$$

Así, para señales arbitrarias de voltaje y corriente se tiene:

$$V_{RMS} = \sqrt{V_0^2 + \sum_{n=1}^{\infty} \frac{V_n^2}{2}} \quad (3.12)$$

$$I_{RMS} = \sqrt{I_0^2 + \sum_{n=1}^{\infty} \frac{I_n^2}{2}} \quad (3.13)$$

En las *Ecuación (3.13)* se demuestra que la presencia de armónicos en la señal de corriente aumenta su valor *RMS*. La empresa que suministra la energía eléctrica es responsable de entregar una tensión puramente senoidal con amplitud aproximadamente fija (a lo sumo variaciones del 5% respecto al valor nominal), a 50Hz o 60Hz dependiendo del país. En el sistema de distribución existen resistencias asociadas a la impedancia misma de la fuente, las líneas de transmisión y a la carga misma, por tanto la presencia de armónicos en la corriente drenada por la carga ocasiona caídas de tensión que deforman la onda de voltaje suministrada en vacío, además de esto, el aumento en el valor *RMS* de la corriente genera un aumento en las pérdidas por efecto Joule asociadas a las resistencias del sistema de transmisión.

Teniendo en consideración lo anterior, y aplicando la *Ecuación (3.8)* (potencia promedio), se deduce que, si la forma de onda de la tensión es puramente senoidal, la presencia de armónicos no contribuirá al aumento de la energía capaz de producir trabajo entregada a la carga. Sin embargo sí se produce un aumento de la potencia total aparente, que se define como: $S = V_{RMS}I_{RMS}$, dado que el valor de I_{RMS} se eleva con la presencia de armónicos, lo que provoca un incremento en la potencia aparente que deben suministrar las unidades de generación, produciéndose así pérdidas económicas.

En este punto surge la figura de mérito que mide la efectividad con la que es transmitida la energía entre la fuente y la carga, esta figura de mérito es el factor de potencia, concebido como el cociente entre la potencia promedio y la potencia aparente. La cual se expresa matemáticamente así:

$$FP = \frac{\bar{P}_T}{V_{RMS}I_{RMS}} \quad (3.14)$$

En la *Ecuación (3.8)* si la señal de voltaje solo está conformada por la componente fundamental, se tiene:

$$\bar{P}_T = \frac{VI_1}{2} \cos(\varphi_1 - \theta_1) \quad (3.15)$$

Reemplazando la *Ecuación (3.15)* en la *Ecuación (3.14)*:

$$FP = \frac{V_{RMS}I_{1RMS}}{V_{RMS}I_{RMS}} \cos(\varphi_1 - \theta_1) = \frac{I_{1RMS}}{I_{RMS}} \cos(\varphi_1 - \theta_1) \quad (3.16)$$

En la *Ecuación (3.16)* se introducen los siguientes términos:

$$DPF = \cos(\varphi_1 - \theta_1) \quad (3.17)$$

$$FP_{DIS} = \frac{I_{1RMS}}{I_{RMS}} \quad (3.18)$$

La *Ecuación (3.17)* corresponde al *Displacement Power Factor* (Factor de potencia de desplazamiento) el cual cuantifica el desfase entre las señales fundamentales de tensión y corriente. En el caso que la carga sea lineal (constante en el tiempo) el *DPF* es igual al factor de potencia total, y de esta forma se atribuye el desfase a la naturaleza reactiva de la carga.

La *Ecuación (3.18)* corresponde al factor de potencia por distorsión, este valor es diciente del contenido de armónicos de la señal de corriente.

Cómo fue explicado en el numeral *3.1 Definiciones Fundamentales*, el factor THD_i representa un indicador de la calidad de la energía, dado que cuantifica la pureza de una señal de corriente. En la medida que una señal de corriente tenga un mayor contenido de armónicos, el THD_i se hace más elevado y a su vez el factor de potencia por distorsión disminuye. Para demostrar esto, se realiza el siguiente procedimiento a partir de la *Ecuación (3.11)*:

$$F_{RMS} = \sqrt{F_0^2 + \sum_{n=1}^{\infty} \frac{F_n^2}{2}} \implies F_{RMS}^2 = F_0^2 + \sum_{n=1}^{\infty} \frac{F_n^2}{2} \implies F_{RMS}^2 - F_0^2 - F_{1RMS}^2 = \sum_{n=2}^{\infty} F_{nRMS}^2$$

Si la señal no contiene componente DC entonces:

$$F_{RMS}^2 - F_{1RMS}^2 = \sum_{n=2}^{\infty} F_{nRMS}^2 \quad (3.19)$$

Aplicando el concepto de la *Ecuación (3.19)* a una señal de corriente, y sustituyéndola en la *Ecuación (3.1)*, se obtiene:

$$THD_i = \sqrt{\frac{I_{RMS}^2 - I_{1RMS}^2}{I_{1RMS}^2}} \times 100 \implies THD_i^2 = \left(\left(\frac{I_{RMS}}{I_{1RMS}} \right)^2 - 1 \right) 10000$$

Sabiendo que $FP_{DIS} = \frac{I_{1RMS}}{I_{RMS}}$:

$$FP_{DIS} = \frac{1000}{\sqrt{100 + THD_i^2}} \quad (3.20)$$

Recuérdese que en la *Ecuación (3.20)* el THD_i y el FP_{DIS} están dados en forma porcentual. Partiendo de las *Ecuaciones (3.16), (3.17) y (3.18)* finalmente se obtiene:

$$FP = DPF \frac{10}{\sqrt{100 + THD_i^2}} \quad (3.21)$$

En la *Ecuación (3.21)* los términos FP , DPF , THD_i no están dados en forma porcentual.

En la *Figura (3.2)* se aprecia la relación entre el THD_i y el FP_{DIS} , se observa que el caso ideal se presenta cuando $THD_i = 0\%$, que corresponde a un $FP_{DIS} = 100\%$; bajo ese escenario el factor de potencia total es igual al factor de potencia de desplazamiento (aplicando la *Ecuación (3.21)*). Esto únicamente es posible para el caso de cargas lineales.

En la medida en que el THD_i se eleve, se deteriora más el factor de potencia total, ya que como es mostrado en la *Figura (3.2)* disminuye el factor de potencia por distorsión.

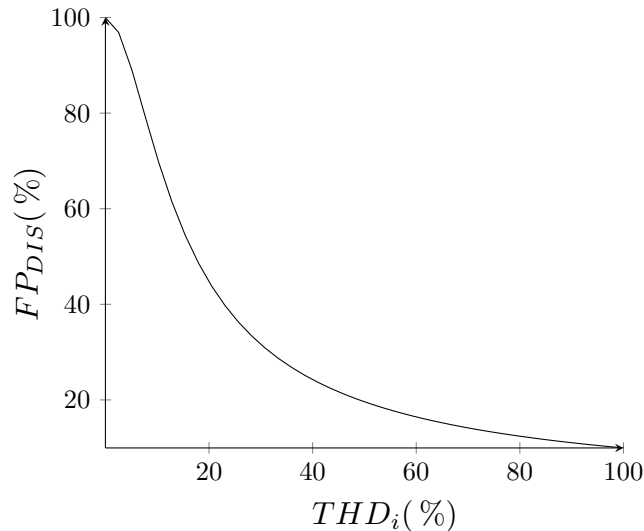


Figura 3.2: Factor de Potencia por Distorsión vs Distorsión Armónica Total

3.3. Causas y consecuencias de los Armónicos

Los armónicos aparecen en los sistemas eléctricos de potencia debido a la presencia de cargas no lineales en el mismo. Dentro de las cargas no lineales conectadas a los sistemas eléctricos se encuentran los convertidores estáticos de potencia, los dispositivos magnéticos saturados, las máquinas rotativas, entre otros. Los dispositivos que actualmente conforman la mayor parte de las cargas no lineales de los sistemas eléctricos, son los convertidores estáticos, esto es debido a que son utilizados tanto en la industria, hogares y oficinas para una gran cantidad de aplicaciones, entre estas se encuentran: las fuentes de alimentación electromecánicas, los variadores de velocidad, las fuentes de alimentación

ininterrumpidas (*UPS*). En forma general, los convertidores estáticos pueden ser agrupados dentro de cuatro categorías: convertidores *AC-AC*, *AC-DC*, *DC-DC*, y *DC-AC* [9].

La presencia de armónicos en las líneas del sistema eléctrico puede producir interferencia con los equipos de comunicaciones y otros equipos electrónicos sensibles. En el caso de que se utilicen bancos de capacitores para la compensación de potencia reactiva, puede que dada la presencia de armónicos en las señales de corriente y voltaje surjan bancos resonantes, dándose así la creación de un alto nivel de distorsión ocasionado por una determinada armónica de la señal.

Los armónicos además de afectar equipos electrónicos, también deterioran el factor de potencia, y aumentan las pérdidas por efecto Joule debido al aumento del valor *RMS* de la corriente a través de cada hilo conductor (ver *Sección 3.2*). Es bien conocido además el efecto de sobrecalentamiento del núcleo de los transformadores.

Hace años se pretende estandarizar una reglamentación sobre los máximos niveles de armónicos permitidos en la acometida de cada usuario de las empresas distribuidoras de energía. Con el paso del tiempo aumenta la cantidad de dispositivos electrónicos que utilizan convertidores estáticos como base de su funcionamiento, así que cada vez se vuelve más crítico el control de la calidad de la energía.

La IEEE en su estándar 519-1992 “Recommended Practices and requirements for Harmonic Control” [9] menciona que la distorsión armónica de voltaje en el sistema es función del contenido de armónicos de corriente inyectados al mismo, los cuales dependerán del número de consumidores conectados a la red. Este estándar establece los límites de distorsión armónica de corriente en la acometida de los clientes como función de la energía consumida por los mismos. De esta manera, grandes clientes deben tener límites más estrictos respecto a pequeños clientes, pues estos representan un mayor porcentaje de la carga total del sistema. En el *Cuadro (3.1)* el tamaño del consumidor está expresado como la razón de la capacidad de corriente de cortocircuito (en el punto de conexión del cliente con el sistema) a la corriente de carga máxima (término I_{SC}/I_L), los límites de corriente de armónicos están expresados en porcentaje de la corriente máxima de carga. Estos valores corresponden a sistemas con tensiones inferiores a 65000V.

$\frac{I_{SC}}{I_L}$	$n < 11$	$11 \leq n < 17$	$17 \leq n < 23$	$23 \leq n < 35$	$35 \leq n$	THD_i
< 20	4%	2%	1,5%	0,6%	0,3%	5%
20 – 50	7%	3,5%	2,5%	1%	0,5%	8%
50 – 100	10%	4,5%	4%	1,5%	0,7%	12%
100 – 1000	12%	5,5%	5%	2%	1%	15%
> 1000	15%	7%	6%	2,5%	1,4%	20%

Cuadro 3.1: Máximos armónicos permisibles en porcentaje de la corriente de carga

La IEEE recomienda que la corriente de carga I_L se calcule como la corriente promedio de los últimos 12 meses. Según el *Cuadro (3.1)* cuando el tamaño de la carga del usuario disminuye respecto al tamaño del sistema, los porcentajes de corriente de armónicos que se permiten inyectar aumentan. Nótese que el caso más crítico corresponde a un THD_i del 5%, el cual corresponde a una carga igual o mayor a la vigésima parte de la capacidad del sistema y el caso más flexible a cargas que están en el orden de la milésima parte de la potencia total disponible, permitiéndose una distorsión del 20%.

Debido a lo anteriormente planteado, surge la necesidad de diseñar e instalar equipos electrónicos de alta confiabilidad, eficientes, de alta calidad, seguros y de bajos costos, que permitan regular los niveles de distorsión generados por las cargas que se requieren alimentar. Este proyecto pretende subsanar estas necesidades, por medio del diseño de un equipo electrónico capaz de recibir una señal de tensión alterna y proporcionar como salida una tensión DC regulada, controlado de forma que la corriente de entrada a este sistema tienda a una señal perfectamente senoidal, con el ánimo de cumplir con las premisas de eficiencia, confiabilidad, seguridad y cuya inversión económica sea razonablemente competitiva con los prototipos fabricados a gran escala por compañías especializadas. El hecho de que el prototipo tenga como entrada una señal AC de voltaje y una salida DC, permite que este sea implementado

en cualquier aplicación, bien sea para alimentar equipos de corriente continua ó equipos de corriente alterna, con la implementación en cascada de un convertidor DC-AC, conservando la propiedad de generar a la entrada una señal de corriente con tendencias a un comportamiento ideal.

Capítulo 4

Teoría de Funcionamiento del Corrector de Armónicos

Existen muchas técnicas para obtener una baja distorsión armónica de corriente a la entrada de un sistema conectado a la red pública. Tales como los métodos pasivos que incluyen la utilización de transformadores de baja frecuencia o elementos reactivos (capacitores), estos últimos en realidad son aplicados para la inyección de reactivos. Sin embargo los grandes tamaños y pesos de estos elementos son un punto negativo y objetable en muchas aplicaciones, las cuales requieren dimensiones simplificadas.

En aplicaciones convencionales que requieren rectificadores clásicos para obtener una tensión DC, como el que aparece en la *Figura (4.1)*, la corriente de entrada se distorsiona en gran medida, presentando en casos típicos THD_i superiores al 100 %. Esto se debe al comportamiento no lineal del puente de diodos, los cuales conmutan de forma natural debido a la topología del sistema, ocasionando que en las terminales de la fuente AC (red pública) se vea el rectificador como una resistencia que cambia en el tiempo. Observe en la *Figura (4.2)* cómo la forma de onda de la corriente de entrada del sistema de la *Figura (4.1)* dista de una señal perfectamente senoidal, en realidad la corriente presenta un pico por cada semiciclo de línea, el cual surge por la carga y descarga del capacitor. En este ejemplo se usa un capacitor de filtrado de $1mF$, una resistencia de 146Ω , una fuente de $115V_{RMS}$ $60Hz$, para una potencia de salida de $180W$, obteniéndose una distorsión armónica de corriente de 229% ¹.

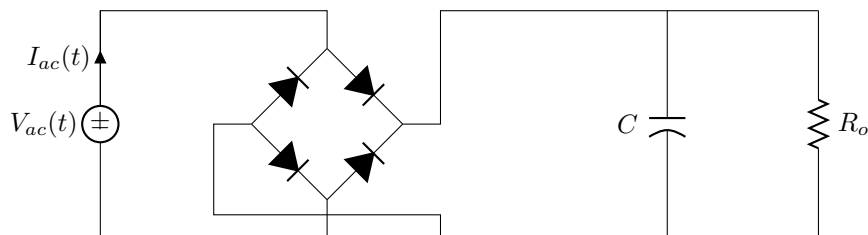


Figura 4.1: *Rectificador Clásico*

¹Se asume comportamiento ideal del puente de diodos. Datos obtenidos mediante simulación en Simulink®

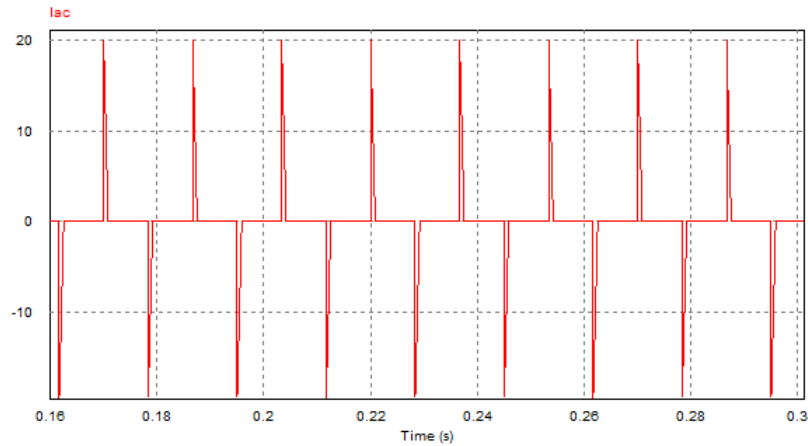


Figura 4.2: Forma de onda de la corriente de entrada del rectificador clásico

Teniendo en cuenta lo descrito en la *Sección 3.3* y los resultados del ejemplo anterior, es posible comprender la importancia del diseño de un rectificador cuyo comportamiento sea cercano al ideal, es decir, sin generación de armónicos en la corriente de línea conservando su función (voltaje DC de salida regulada). Un rectificador ideal representa a la red pública de distribución una carga puramente resistiva, de esta forma siendo el voltaje de entrada senoidal, entonces la corriente consumida por el rectificador será senoidal también, en fase con el voltaje. A los convertidores cuyo funcionamiento tiende a lo descrito anteriormente, se los conoce como Correctores de Armónicos.

Muchas topologías de convertidores pueden ser controladas de forma que su comportamiento tienda al de un rectificador ideal (Véase *Capítulo I*), básicamente esto es logrado por medio de la conmutación controlada de un dispositivo de potencia, el cual recibe la señal de mando proveniente del procesador encargado de analizar las variables leídas del sistema (corriente de entrada y voltaje de salida) y de la referencia a seguir (señal senoidal de corriente a la entrada y voltaje DC deseado). A continuación se describe el funcionamiento general del Corrector de Armónicos.

4.1. Propiedades del Corrector de Armónicos Ideal

Cómo ya fue explicado anteriormente, es deseado que el rectificador controlado represente una carga pura resistiva al sistema. De esta manera la corriente de entrada tendrá la misma forma que el voltaje y también estarán en fase, teniendo como resultado un factor de potencia total cercano a 1 y un THD_i cercano a 0. Así, la corriente de entrada $I_{ac}(t)$ debe ser proporcional al voltaje de entrada aplicado, como se expresa en la siguiente ecuación:

$$I_{ac}(t) = \frac{V_{ac}(t)}{R_e} \quad (4.1)$$

El término R_e representa la constante de proporcionalidad. El circuito equivalente para el puerto AC de un rectificador ideal es únicamente la resistencia R_e conectada entre sus terminales. Esto es mostrado en la *Figura (4.3)*:

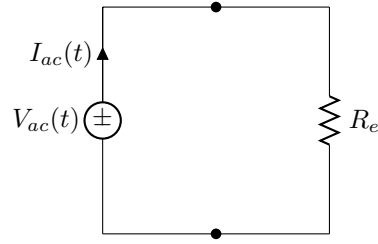


Figura 4.3: Modelo equivalente puerto de entrada de un rectificador ideal

Es necesario entender que la resistencia R_e no tiene asociada pérdidas de potencia, tal como la generación de calor por efecto Joule. Esta resistencia sirve como modelo para explicar cómo debe ser el funcionamiento ideal del convertidor. Siguiendo esta misma línea, se le puede atribuir un significado a la potencia “disipada” por la resistencia emulada R_e , ya que el valor de de esta potencia es transferida totalmente al puerto de salida DC, como es mostrado en la *Figura (4.4a)*.

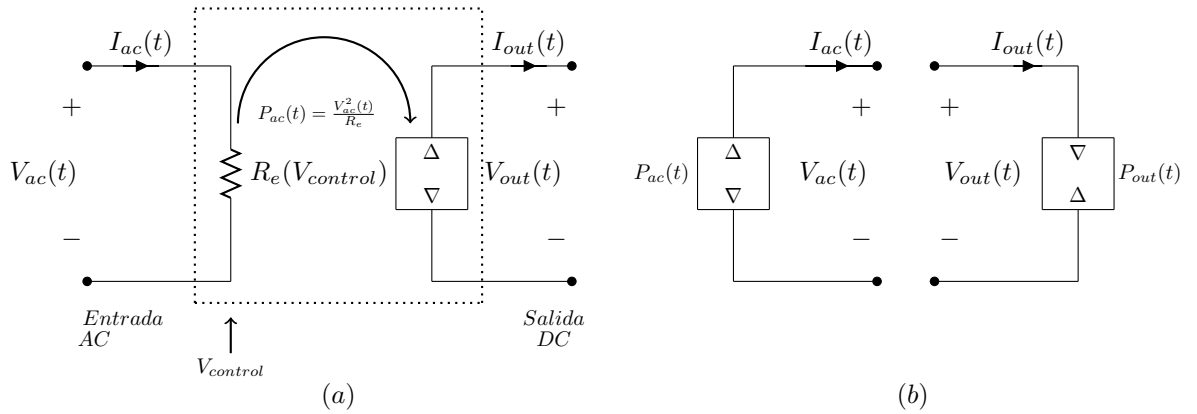


Figura 4.4: Potencia de salida del rectificador ideal

Puede observarse en la *Figura (4.4b)* que en el puerto de entrada se genera la potencia que es consumida en el puerto de salida. La función del rectificador ideal es básicamente transferir la potencia de línea variable de la entrada a la carga, la cual consume una potencia DC.

La regulación de la tensión de salida es lograda por la variación de la resistencia emulada R_e , la cual depende del valor del voltaje de control $V_{control}(t)$ como es mostrado en la *Figura (4.4a)*. Este voltaje de control es la acción generada por el sistema de procesamiento encargado de mantener las condiciones deseadas de corriente a la entrada y tensión a la salida. Esta variación de la resistencia emulada R_e ocasiona cambios en la potencia promedio de entrada, como aparece en la ecuación siguiente:

$$\bar{P}_{ac}(t) = \frac{V_{acRMS}^2}{R_e(V_{control}(t))} \quad (4.2)$$

El cambio de la resistencia emulada ocasiona que el sistema sea variante en el tiempo, lo cual trae como consecuencia generación de armónicos. Para evitar la generación de armónicos significantes y la degradación del factor de potencia, las variaciones de R_e deben ser lentas respecto a la frecuencia de línea AC (60Hz).

En la medida que las pérdidas y el almacenamiento de energías en los componentes sea despreciable, la potencia que fluye por R_e debe ser transmitida a la carga. La potencia instantánea a la entrada es:

$$P_{ac}(t) = \frac{V_{ac}^2(t)}{R_e(V_{control}(t))} \quad (4.3)$$

El modelo de dos puertos para un rectificador controlado monofásico ideal es el mostrado en la *Figura (4.4a)*. A este modelo se lo conoce como resistor de pérdidas nulas (*RPN*) [10], por dos razones:

1. El puerto de entrada obedece la ley de Ohm
2. Toda la potencia de entrada es transmitida directamente al puerto de salida sin pérdidas de energía.

Dado que debe presentarse conservación de potencia, se tiene:

$$P_{ac}(t) = V_{ac}(t)I_{ac}(t) = P_{out}(t) = V_{out}(t)I_{out}(t) \quad (4.4)$$

Las *Ecuaciones (4.1), (4.2) y (4.4)* caracterizan el modelo del resistor de pérdidas nulas. Cuando en el puerto de salida del *RPN* se conecta una carga resistiva de valor R , el voltaje y corriente de salida *RMS* son relacionados con el voltaje y corriente de entrada *RMS*, de la siguiente manera:

$$\frac{V_{outRMS}}{V_{acRMS}} = \sqrt{\frac{R}{R_e}} \quad (4.5)$$

$$\frac{I_{acRMS}}{I_{outRMS}} = \sqrt{\frac{R}{R_e}} \quad (4.6)$$

Sin importar qué topología o estrategia de control se use para diseñar un rectificador monofásico controlado, cualquiera que tienda a un comportamiento ideal, puede modelarse por medio de una red *RPN* de dos puertos.

4.2. Propiedades y funcionamiento del Corrector de Armónicos Real

Un sistema de control retroalimentado puede ser empleado para provocar que un convertidor que exhiba comportamiento de un transformador DC, obedezca las ecuaciones de un modelo *RPN*. Para un sistema monofásico, el enfoque más simple y menos costoso emplea un puente de diodos clásico en cascada con un convertidor DC-DC, como es mostrado en la *Figura (4.5)*.

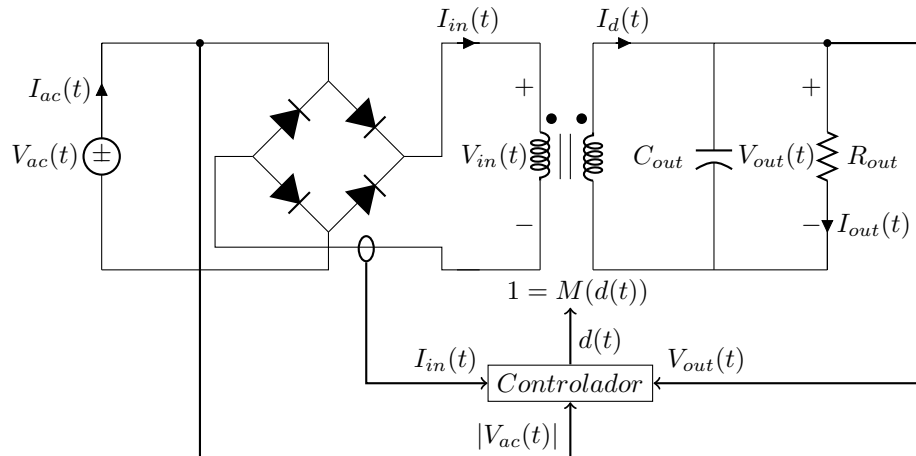


Figura 4.5: Rectificador controlado por PWM

El controlador es el encargado de recibir el valor de las variables del sistema, procesarlas y emitir la acción de control que se traduce en variar el ciclo de trabajo del convertidor DC-DC, con el fin de

provocar que la corriente $I_{ac}(t)$ sea proporcional al voltaje de la red $V_{ac}(t)$ y el voltaje de salida $V_{out}(t)$ sea constante y regulado.

El voltaje de entrada es senoidal, luego el voltaje rectificado es igual a:

$$V_{in}(t) = V_{ac} |\sin(\omega t)| \tag{4.7}$$

Al ser el voltaje salida $V_{out}(t)$ constante, la función de transferencia de tensión debe ser:

$$M(d(t)) = \frac{V_{out}(t)}{V_{in}(t)} = \frac{V_{out}}{V_{ac} |\sin(\omega t)|} \tag{4.8}$$

Observe en la *Figura (4.6)* las formas de onda características de un rectificador ideal controlado, allí se enlistan las formas de onda del voltaje de la red, corriente de línea, voltaje y corriente rectificadas, voltaje de salida y la forma de onda de la función de transferencia del rectificador. Observe cómo es el comportamiento de la función de transferencia descrita por la *Ecuación (4.8)*, presentando un valor con tendencias al infinito para valores de $V_{in}(t)$ iguales a cero y un valor mínimo cuando $V_{in}(t) = V_{ac}$. Es decir, que el valor mínimo de la función de transferencia es:

$$M_{min} = \frac{V_{out}}{V_{ac}} \tag{4.9}$$

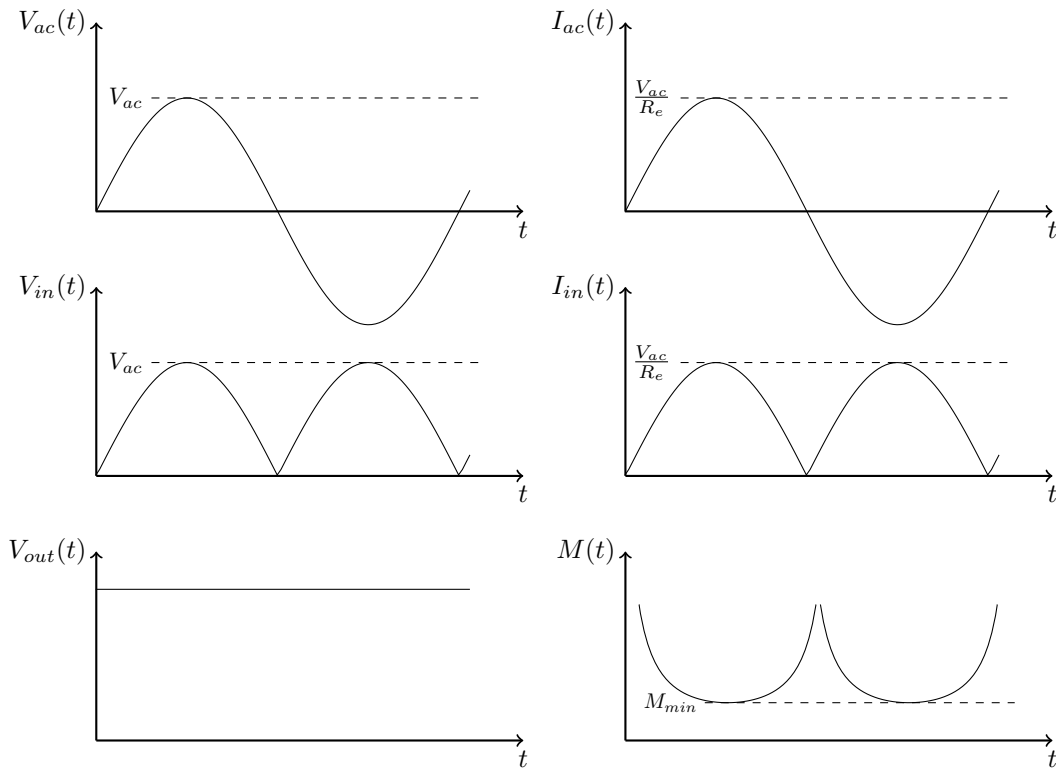


Figura 4.6: Formas de onda características de un rectificador ideal controlado

Cualquier topología de convertidor DC-DC cuya función de transferencia ideal pueda manejar estos límites puede ser empleada en esta aplicación. En la medida que el convertidor exhiba un comportamiento ideal, se tiene:

$$I_d(t) = \frac{V_{in}(t)I_{in}(t)}{V_{out}} \quad (4.10)$$

Reemplazando la *Ecuación (4.1)* en la *Ecuación (4.10)*:

$$I_d(t) = \frac{(V_{in}(t))^2}{V_{out}R_e} \quad (4.11)$$

Reemplazando en la *Ecuación (4.11)* la *Ecuación (4.7)*, esta se transforma en:

$$I_d(t) = \frac{V_{ac}^2 \sin^2(\omega t)}{V_{out}R_e} \quad (4.12)$$

Sustituyendo en la *Ecuación (4.12)* la identidad trigonométrica $\sin^2(\theta) = \frac{1-\cos(2\theta)}{2}$, queda:

$$I_d(t) = \frac{V_{ac}^2(1 - \cos(2\omega t))}{2V_{out}R_e} \quad (4.13)$$

De esta forma se demuestra que la corriente que alimenta al condensador de salida y a la carga contiene un componente DC y un componente de segundo armónico de la línea.

Precisamente una de las funciones del condensador de salida es filtrar el componente armónico de esta corriente, de tal manera que la corriente de carga (la que fluye por la resistencia de carga) esté conformada únicamente por el componente DC. Por lo dicho anteriormente, se tiene:

$$I_{out} = \bar{I}_d(t) = \frac{V_{ac}^2}{2V_{out}R_e} \quad (4.14)$$

Como ya se ha explicado anteriormente, uno de los requerimientos de un rectificador monofásico controlado es regular una tensión DC a la salida con gran precisión. Asumiendo que esto es logrado se tendría:

$$P_{out}(t) = V_{out}(t)I_{out}(t) = V_{out}I_{out} \quad (4.15)$$

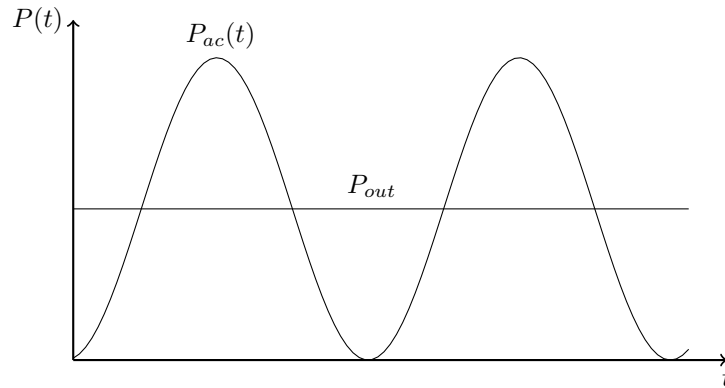
Sin embargo, la potencia instantánea de entrada $P_{ac}(t)$ del rectificador no es constante:

$$P_{ac}(t) = V_{in}(t)I_{in}(t) \quad (4.16)$$

Si $V_{in}(t)$ está dado por la *Ecuación (4.7)* e $I_{in}(t)$ por la *Ecuación (4.1)*, entonces la *Ecuación (4.16)* se reescribe como:

$$P_{ac}(t) = \frac{V_{ac}^2}{R_e} \sin^2(\omega t) = \frac{V_{ac}^2}{2R_e} (1 - \cos(2\omega t)) \quad (4.17)$$

Como se aprecia en la *Ecuación (4.17)*, la potencia instantánea de entrada es cero en los cruces por cero del voltaje de entrada ($V_{ac}(t)$). Las *Ecuaciones (4.15)* y *(4.17)* se grafican en la *Figura (4.7)*, en dónde se observa que la potencia de carga (P_{out}) no es igual a la potencia instantánea de entrada rectificadora ($P_{ac}(t)$). Algún o algunos elementos del sistema de rectificación deben suplir o consumir la diferencia entre estas dos potencias instantáneas.

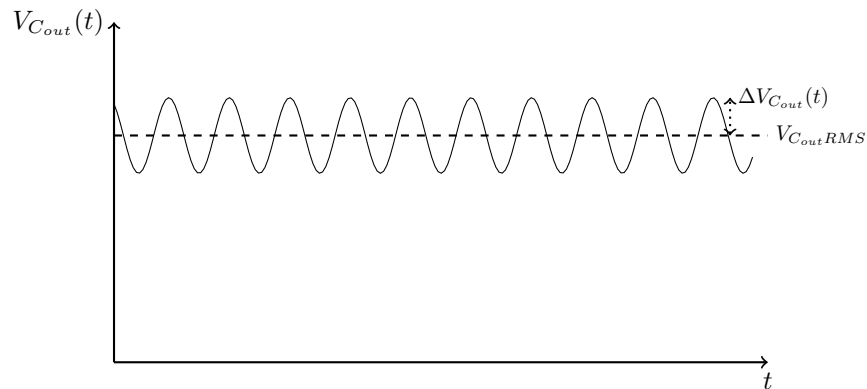
Figura 4.7: $P_{ac}(t)$ vs P_{out}

Dado que el rectificador ideal no consume o genera potencia, además no hay almacenamiento interno de energía, el condensador de salida mostrado en la *Figura (4.5)*, representa un elemento de baja frecuencia de almacenamiento de energía. La diferencia entre la potencia instantánea de entrada y la de salida fluye a través de este capacitor.

Siendo el condensador de salida (C_{out}) el único elemento del sistema capaz de almacenar energía, entonces la potencia $P_{C_{out}}(t)$ que fluye por este capacitor es igual a la diferencia entre $P_{ac}(t)$ y $P_{out}(t)$, es decir:

$$P_{C_{out}}(t) = \frac{dE_{C_{out}}(t)}{dt} = \frac{d(\frac{1}{2}C_{out}V_{C_{out}}^2(t))}{dt} = P_{ac}(t) - P_{out}(t) \quad (4.18)$$

Dónde C_{out} es el condensador de salida, $V_{C_{out}}(t) = V_{out}(t)$ es el voltaje del condensador, y $E_{C_{out}}(t)$ es la energía almacenada en el condensador. El voltaje del condensador de salida $V_{C_{out}}(t)$ es graficado en la *Figura (4.8)*, en dónde se observa que la función presenta un rizado que varía en forma cosenoidal. Cuando $P_{ac}(t) > P_{out}(t)$, la energía fluye hacia el capacitor, entonces $V_{C_{out}}(t)$ incrementa, y cuando $P_{ac}(t) < P_{out}$ el condensador supe los requerimientos de potencia, entonces $V_{C_{out}}(t)$ decrementa. De esta manera, el voltaje del capacitor debe incrementar y decrementar tanto como sea necesario para almacenar y proporcionar la energía requerida. En estado estable, el valor promedio de $P_{ac}(t)$ debe ser igual al promedio de $P_{out}(t)$, es así que para un ciclo de línea no hay transferencia neta de energía en el condensador.

Figura 4.8: Voltaje condensador de salida ($V_{C_{out}}(t)$)

Teniendo en cuenta el análisis anterior es posible concluir que la tensión de salida del rectificador no

es constante, por tanto la potencia tampoco lo es, como inicialmente se había planteado. A continuación se detalla el proceso para encontrar la función graficada en la *Figura (4.8)*.

El rizado del voltaje $V_{C_{out}}(t)$ puede ser calculado como la integral de la *Ecuación (4.18)*, obteniéndose:

$$E_{C_{out}}(t) = \frac{1}{2}C_{out}V_{C_{out}}^2(t) = E_{C_{out}}(0) + \int_0^t (P_{ac}(t) - P_{out}(t))dt \quad (4.19)$$

Teniendo en cuenta que el valor promedio de $\bar{P}_{ac}(t) = \bar{P}_{out}(t)$ y la *Ecuación (4.17)*, se llega a:

$$E_{C_{out}}(t) = E_{C_{out}}(0) - \frac{\bar{P}_{out}(t) \sin(2wt)}{2w} \quad (4.20)$$

Dónde $\bar{P}_{out}(t) = V_{acRMS}I_{acRMS}$

De esta manera la forma de onda de la tensión en el capacitor de salida sigue la siguiente ecuación:

$$V_{C_{out}}(t) = \sqrt{\frac{2E_{C_{out}}(t)}{C_{out}}} = \sqrt{V_{C_{out}}^2(0) - \frac{\bar{P}_{out}(t)}{wc} \sin(2wt)} \quad (4.21)$$

Es posible demostrar que el valor RMS de $V_{C_{out}}(t)$ es igual a $V_{C_{out}}(0)$. Por tanto, la *Ecuación (4.21)* se transforma en:

$$V_{C_{out}}(t) = V_{C_{out}(RMS)} \sqrt{1 - \frac{\bar{P}_{out}(t)}{wC_{out}V_{C_{out}(RMS)}^2} \sin(2wt)} \quad (4.22)$$

La forma de onda descrita por la *Ecuación anterior* es graficada en la *Figura (4.8)*. El rizado de la tensión $V_{C_{out}}(t)$ se puede calcular como:

$$2\Delta V_{C_{out}} = V_{C_{out}(RMS)} \left[\sqrt{1 + \frac{\bar{P}_{out}(t)}{wC_{out}V_{C_{out}(RMS)}^2}} - \sqrt{1 - \frac{\bar{P}_{out}(t)}{wC_{out}V_{C_{out}(RMS)}^2}} \right] \approx \frac{\bar{P}_{out}(t)}{wC_{out}V_{C_{out}(RMS)}} \quad (4.23)$$

La aproximación anterior es válida para el caso de que el rizado del voltaje sea suficientemente menor a su valor RMS ($2\Delta V_{C_{out}} \ll V_{C_{out}(RMS)}$).

Como se indica en la *Ecuación (4.17)* la potencia de entrada $P_{ac}(t)$ está en función de $V_{ac}(t)$ y R_e y también fue dicho que los valores promedio de $P_{ac}(t)$ y $P_{out}(t)$ deben ser iguales. De esta manera es fácil notar que el sistema debe poseer un mecanismo para provocar que la potencia promedio rectificadora y la potencia promedio de salida del rectificador sean iguales, es así que debe adicionarse un lazo de control que ajuste R_e tanto como sea necesario, para provocar dicho equilibrio. La forma convencional de realizar esta tarea está orientada a regular el componente DC del voltaje del condensador de salida ($V_{C_{out}}(t) = V_{out}(t)$), por lo cual se debe adicionar al sistema general del *Corrector de Armónicos*, un lazo de control de bajo ancho de banda el cual mediante variaciones lentas de $V_{control}$ y R_e ocasione que la componente DC de $V_{C_{out}}(t)$ sea igual a un voltaje de referencia establecido.

¿Por qué es necesario que el lazo de control de voltaje del capacitor de salida tenga un bajo ancho de banda?. Si se analiza la situación contraria se puede encontrar una argumentación sólida a este interrogante. Supóngase que se incrementa el ancho de banda de este lazo de tal manera que se obtiene una regulación perfecta de la tensión $V_{C_{out}}(t)$, entonces la energía almacenada en el condensador es constante, y la potencia instantánea de entrada $P_{ac}(t)$ y la de salida $P_{out}(t)$ son iguales, o sea:

$$I_{ac}(t) = \frac{P_{ac}(t)}{V_{ac}(t)} = \frac{P_{out}(t)}{V_{ac}(t)} \approx \frac{P_{out}}{V_{ac} \sin(wt)} \quad (4.24)$$

La *Ecuación (4.24)* se grafica en la *Figura (4.9)*, en dónde se observa que en los cruces por cero del voltaje de línea la corriente de línea tiende a infinito. De allí se desprende que la distorsión armónica

de corriente tiende a infinito y el factor de potencia de distorsión es cero. Por esta razón debe limitarse el ancho de banda del lazo de control del voltaje.

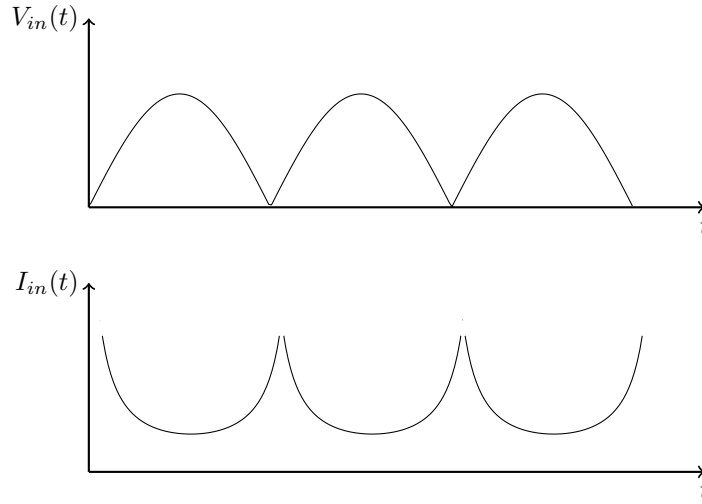


Figura 4.9: Formas de onda lazo de control de voltaje con ancho de banda infinito

Siguiendo la línea planteada anteriormente, es necesario realizar la siguiente pregunta: ¿Cómo puede obtenerse una tensión DC regulada con precisión si se permite variar el voltaje del condensador en un intervalo considerable?. Una forma convencional de solucionar este problema consiste en insertar un convertidor DC-DC entre el condensador de salida y la carga DC, como es mostrado en la *Figura (4.10)*. Este convertidor DC-DC debe poseer un lazo de control de gran ancho de banda, para obtener un voltaje de salida bien regulado. De esta manera, se permite variar el voltaje $V_{C_{out}}(t)$ obteniéndose un voltaje regulado a la salida.

Así, el sistema general del *Corrector de Armónicos* posee:

- Un lazo de control de gran ancho de banda para controlar la forma de onda de la corriente de entrada ($I_{ac}(t)$).
- Un elemento para almacenamiento de energía a baja frecuencia (C_{out}).
- Un lazo de control de bajo ancho de banda para regular la tensión de salida del rectificador controlado ($V_{C_{out}}(t) = V_{out}(t)$).
- Un convertidor DC-DC con un lazo de control de alto ancho de banda para regular el voltaje de carga ($V_o(t)$).

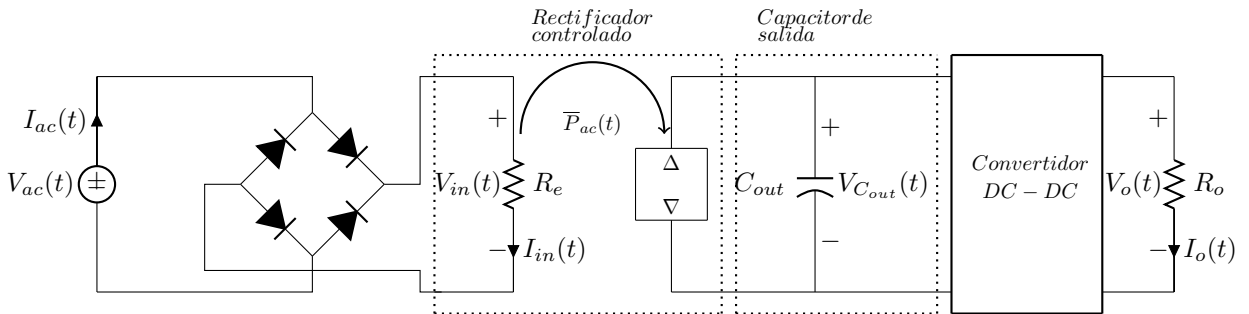


Figura 4.10: Esquema general de un corrector de armónicos

La energía almacenada por el condensador de salida, también le permite al sistema funcionar en otras situaciones en las cuales las potencias instantáneas de entrada y salida difieren. Por ejemplo, es comúnmente requerido que el voltaje de salida se mantenga regulado durante fallas de corta duración del voltaje de entrada. Al tiempo de *sostenimiento* se le conoce como al tiempo de duración que el voltaje de salida del rectificador controlado ($V_{out}(t)$) se mantiene regulado después que el voltaje de entrada ($V_{ac}(t)$) se hace cero. Un requerimiento típico es que el sistema continúe supliendo potencia a la carga durante un ciclo de línea perdido completamente, es decir, para un sistema de 60 Hz $16,66\text{ ms}$. Durante el tiempo de *sostenimiento*, la potencia a la carga es suplida enteramente por la energía almacenada en el condensador C_{out} . El valor de este capacitor, debe ser escogido de tal manera que al final de este intervalo de tiempo, $V_{C_{out}}(t)$ exceda al valor mínimo requerido por el convertidor DC-DC para que éste proporcione la tensión deseada $V_o(t)$.

Un problema adicional introducido por el condensador C_{out} es la alta *corriente de irrupción* que aparece en los transitorios iniciales cuándo el sistema es encendido, dado que al ser $V_{C_{out}}(t)$ inicialmente cero, es requerido cantidades considerables de carga para elevar el este voltaje al punto de equilibrio. Topologías como la *Boost* no pueden limitar esta corriente y se requieren elementos adicionales para acotarla, sin embargo topologías como la *Buck-Boost*, *Cuk* o *Sepic* inherentemente no presentan esta dificultad.

Por todo lo dicho anteriormente, se concluye que el sistema general del Corrector de Armónicos posee dos convertidores de potencia en cascada, el primero es el encargado de proporcionar una tensión DC forzando a que la corriente de entrada sea senoidal (*Rectificador Controlado*), y el segundo es el encargado de recibir dicha tensión DC y regularla dentro de los límites establecidos (*Convertidor DC-DC*).

Capítulo 5

Teoría de diseño del Corrector de Armónicos

Como se mencionó en el *Capítulo I*, varias de las topologías existentes de convertidores DC-DC tienen características que se muestran como ventajas o desventajas al momento de operar como rectificadores controlados. Dentro de estas se encuentra el convertidor Sepic; la elección de esta topología para el diseño como rectificador controlado, obedece a un intento por aumentar la eficiencia del prototipo con base en la estrategia de control propuesta (control por histéresis).

Dentro de la teoría correspondiente para el diseño del Corrector de Armónicos, se parte inicialmente en el estudio del convertidor Sepic como convertidor DC-DC, posteriormente se expondrá su implementación como rectificador controlado y luego se explica el funcionamiento y los criterios de diseño del convertidor DC-DC elegido para conectarse en cascada con el rectificador.

5.1. Convertidor Sepic

SEPIC (*Single-Ended Primary-Inductor Converter*) es otra de las topologías existentes de convertidores DC-DC, su principal particularidad es su capacidad de producir un voltaje de salida superior o inferior al voltaje de entrada. Posee cuatro elementos capaces de almacenar energía, por lo tanto es un sistema de cuarto orden. A continuación, se muestra el esquemático básico (*Figura (5.1)*), se observa la presencia de un switch controlado (sw_1) y uno no controlado (sw_2). Siempre y cuando el convertidor opere en el modo de corriente continua, (CCM, la corriente en los inductores nunca llega a cero) la conmutación del dispositivo de potencia controlado da lugar a la aparición de un circuito lineal para cada uno de sus estados (ON y OFF), para el convertidor Sepic estos dos circuitos son respectivamente los mostrados en las *Figuras (5.2) y (5.3)*.

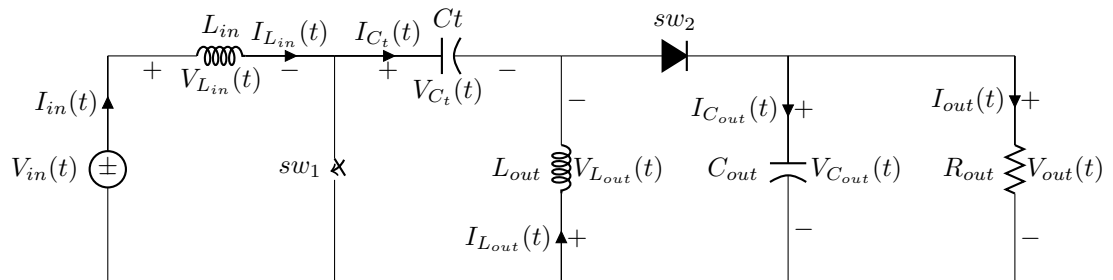


Figura 5.1: *Esquemático Convertidor Sepic*

Asumiendo que sw_1 (switch controlado) conmuta a una frecuencia constante ($f_s = \frac{1}{T_s}$), en adelante se llamará t_{on} al tiempo que demore encendido sw_1 y t_{off} al tiempo que este demore apagado, así se define el ciclo de trabajo como la relación entre t_{on} y T_s dada por: $D = \frac{t_{on}}{T_s}$.

El comportamiento de los inductores y capacitores está gobernado por las siguientes ecuaciones:

$$V_L = L \frac{dI_L}{dt} \quad I_C = C \frac{dV_C}{dt}$$

El principal hecho a tener en cuenta para analizar apropiadamente este convertidor de potencia, es que en estado estable, la tensión promedio en las terminales del inductor y la corriente promedio a través del capacitor son iguales a cero, por tanto:

$$I_L(0) = I_L(T_s) \quad V_C(0) = V_C(T_s)$$

La conversión de potencia realizada por el convertidor, es lograda debido al cambio constante entre los dos circuitos lineales que se dan en cada posible estado del convertidor. En este documento se asumen solamente dos estados debido a que el convertidor operara en CCM.

5.1.1. Switch Controlado ON $0 \leq t < DT_s$

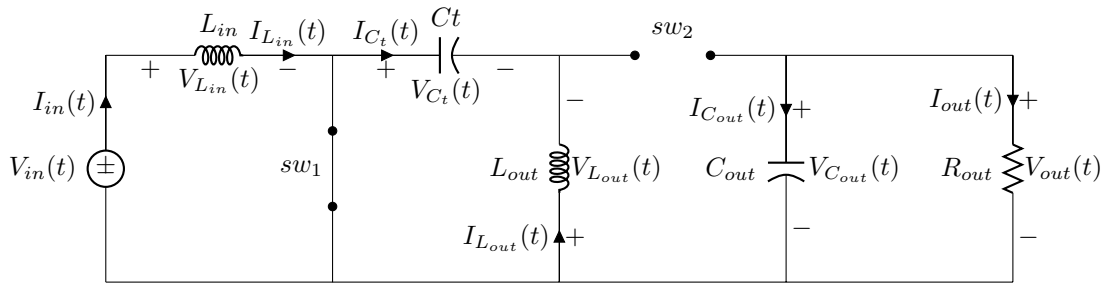


Figura 5.2: Convertidor Sepic - ON

La tensión aplicada entre las terminales de L_{in} es $V_{L_{in}}(t) = V_{in}(t)$, por tanto el inductor se carga y la corriente a través de este empieza a aumentar de forma lineal, con una pendiente determinada por $V_{in}(t)$ y L_{in} ($\frac{dI_{L_{in}}(t)}{dt} = \frac{V_{in}(t)}{L_{in}}$). L_{out} empieza a almacenar la energía proveniente de la descarga de C_t , partiendo del principio de que el capacitor no permite cambios bruscos de voltaje, y que además su capacitancia haya sido escogida de tal forma que durante un período de conmutación el cambio en la tensión entre sus terminales fuese mínimo, para operación en condiciones nominales, se tiene: $\frac{dI_{L_{out}}(t)}{dt} = \frac{V_{C_t}(t)}{L_{out}}$, dónde por simplicidad se asume un $V_{C_t}(t)$ constante. Debido a que en estado estable las inductancias son virtualmente cortocircuitos, partiendo del esquemático mostrado en la *Figura (5.1)*, se deduce que en un período de conmutación $\bar{V}_{C_t}(t) = V_{in}(t)$. El proceso de descarga de C_t está gobernado por la siguiente ecuación: $\frac{dV_{C_t}(t)}{dt} = -\frac{I_{L_{out}}(t)}{C_t}$, siempre y cuándo la variación de $I_{L_{out}}(t)$ sea pequeña con respecto a su valor DC, más adelante se verá que $\bar{I}_{L_{out}}(t) = \bar{I}_{out}(t)$. El comportamiento de la tensión a través de C_{out} está dado por: $\frac{dV_{C_{out}}(t)}{dt} = -\frac{V_{out}(t)}{R_L C_{out}}$, obsérvese que $V_{C_{out}}(t) = V_{out}(t)$, y en este caso también aplican las limitaciones impuestas anteriormente para $I_{L_{out}}(t)$ y $V_{C_t}(t)$. Nótese que las aproximaciones hechas solamente serán válidas si las constantes de tiempo de los elementos reactivos son mucho mayores que t_{on} .

5.1.2. Switch Controlado OFF $DT_s \leq t < T_s$

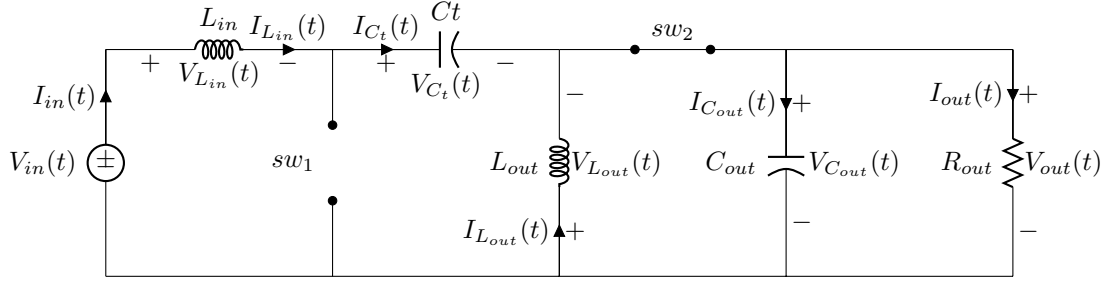


Figura 5.3: Convertidor Sepic - OFF

Dado que la tensión promedio en los terminales de C_t (en un período de conmutación) es $\bar{V}_{C_t}(t) = V_{in}(t)$, para L_{in} se tiene: $V_{L_{in}}(t) = -V_{out}(t)$, lo cual implica que durante t_{off} el inductor L_{in} se descarga con una pendiente gobernada por $\frac{dI_{L_{in}}(t)}{dt} = -\frac{V_{out}(t)}{L_{in}}$. Teniendo en cuenta que los inductores no permiten cambios bruscos en la corriente a través de ellos, la corriente a través de L_{in} es $I_{L_{in}}(t) = I_{in}(t)$, y debido a que C_t está conectado en serie a L_{in} durante t_{off} , $I_{C_t}(t) = I_{in}(t)$, por tanto el capacitor se carga y la tensión entre sus terminales aumenta de forma lineal $\left(\frac{dV_{C_t}(t)}{dt} = \frac{I_{in}(t)}{C_t}\right)$. En este estado, $V_{L_{out}}(t) = -V_{out}(t)$, de esta manera el inductor se descarga a una tasa determinada por $\frac{dI_{L_{out}}(t)}{dt} = -\frac{V_{out}(t)}{L_{out}}$. Como ya se mencionó antes $\bar{I}_{L_{out}}(t) = \bar{I}_{out}(t)$, por tanto, la corriente a través de C_{out} en este estado será igual a la corriente a través de C_t , es decir $I_{C_{out}}(t) = I_{in}(t)$, por ello, C_{out} se carga a una tasa determinada por $\frac{dV_{C_{out}}(t)}{dt} = \frac{I_{in}(t)}{C_{out}}$. Al igual que en el aparte anterior, nótese que las aproximaciones hechas solamente serán válidas si las constantes de tiempo de los elementos reactivos son mucho mayores que t_{off} .

5.1.3. Funciones de Transferencia en DC

Como se mencionó anteriormente, en estado estable los valores promedio del voltaje entre las terminales de un inductor y la corriente a través de un capacitor son cero, así:

Para un inductor:

$$\Delta I_{L-ON} + \Delta I_{L-OFF} = 0 \quad (5.1)$$

Y para un capacitor:

$$\Delta V_{C-ON} + \Delta V_{C-OFF} = 0 \quad (5.2)$$

Como se dedujo anteriormente a partir de la *Figura (5.1)* la tensión promedio entre los terminales de C_t , $\bar{V}_{C_t}(t) = V_{in}(t)$. Teniendo en cuenta que $\bar{I}_{L_{in}}(t) = \bar{I}_{in}(t)$ y $\bar{I}_{L_{out}}(t) = \bar{I}_{out}(t)$ y reemplazando en la *Ecuación (5.2)* de balance de tensión del capacitor C_t se tiene:

$$\frac{\bar{I}_{out}(t)}{C_t} DT_s - \frac{-\bar{I}_{in}(t)}{C_t} (1-D)T_s = 0$$

Luego,

$$\frac{\bar{I}_{out}(t)}{\bar{I}_{in}(t)} = \frac{1-D}{D} = M_I(D) \quad (5.3)$$

La *Ecuación (5.3)* es ganancia de corriente en DC del convertidor Sepic, partiendo del principio de conservación de energía se obtiene ganancia de voltaje en DC del convertidor Sepic así:

$$\bar{P}_{in}(t) = \bar{P}_{out}(t) \quad \bar{V}_{in}(t)\bar{I}_{in}(t) = \bar{V}_{out}(t)\bar{I}_{out}(t)$$

$$\frac{\bar{I}_{in}(t)}{\bar{I}_{out}(t)} = \frac{\bar{V}_{out}(t)}{\bar{V}_{in}(t)} = \frac{D}{1-D} = M_V(D) \quad (5.4)$$

Para demostrar que $\bar{I}_{L_{out}}(t) = \bar{I}_{out}(t)$, inicialmente se aplica la *Ecuación (5.1)* en C_t , por tanto:

$$\bar{I}_{C_t-ON}(t)D + \bar{I}_{C_t-OFF}(t)(1-D) = 0 \quad (5.5)$$

Sabiendo que $\bar{I}_{C_t-ON}(t) = -\bar{I}_{out}(t)$, reemplazando en la *Ecuación (5.5)*, y despejando $\bar{I}_{C_t-OFF}(t)$:

$$\bar{I}_{C_t-OFF}(t) = \frac{\bar{I}_{out}(t)D}{1-D}$$

Al reemplazar lo obtenido en la *Ecuación (5.1)* se obtiene:

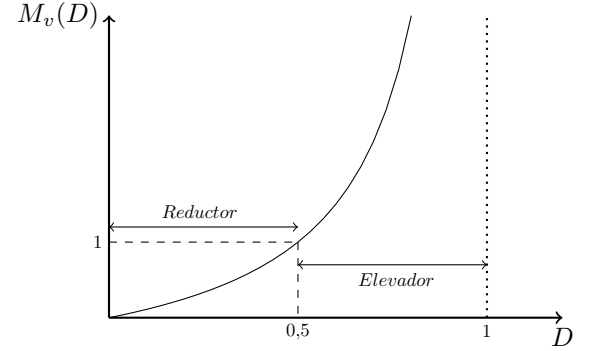


Figura 5.4: M_V vs D - Ideal

$$\bar{I}_{C_t-OFF}(t) = \bar{I}_{in}(t)$$

Durante t_{off} , $\bar{I}_{L_{in}}(t) + \bar{I}_{L_{out}}(t) = \bar{I}_{C_t-OFF}(t) + \bar{I}_{out}(t)$, y dado que $\bar{I}_{L_{in}}(t) = \bar{I}_{in}(t)$, finalmente se demuestra:

$$\bar{I}_{L_{out}}(t) = \bar{I}_{out}(t)$$

Como se observa en la *Figura (5.4)*, para $D < 0,5$ el convertidor funciona como reductor, mientras que para $D > 0,5$ funciona como elevador. Una buena aproximación a la función de transferencia real en DC del convertidor Sepic es hallada en [11], la función que modela las pérdidas óhmicas se muestra en la *Figura (5.5)*. Se resumen a continuación las principales expresiones encontradas en esta sección:

$$\bar{I}_{L_{in}}(t) = \bar{I}_{in}(t) \quad \bar{V}_{C_{in}}(t) = V_{in}(t)$$

$$\bar{I}_{L_{out}}(t) = \bar{I}_{out}(t) \quad V_{C_{out}}(t) = V_{out}(t)$$

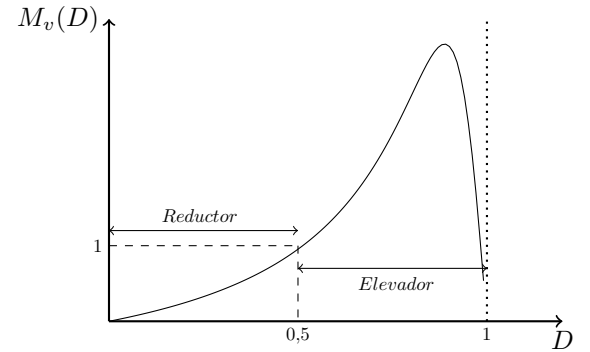


Figura 5.5: M_V vs D - Real

$$M_v(D) = \frac{D}{1-D} \quad M_I(D) = \frac{1-D}{D}$$

5.1.4. Dinámica de AC

Debido a que el convertidor Sepic es un sistema de cuarto orden, la obtención de un modelo lineal a través de las técnicas convencionales de análisis resulta casi imposible. En [11] se utiliza el método de los extraelementos desarrollado en [12]. El método de los extraelementos es extremadamente poderoso para el análisis de circuitos lineales, provee resultados de baja entropía y simplifica procedimientos que de otra manera serían demasiado extensos. Aún así, el proceso para encontrar un modelo lineal aproximado para el convertidor Sepic en [11] resulta muy complejo, y muchas consideraciones y simplificaciones son necesarias para obtener una función de transferencia de baja entropía.

La forma en que será utilizado el convertidor Sepic no requiere de la consideración de los resultados encontrados en [11], aún así estos son expuestos de manera simplificada con miras a aclarar dudas que puedan surgir de la lectura de la documentación relacionada con la estabilidad del convertidor Sepic.

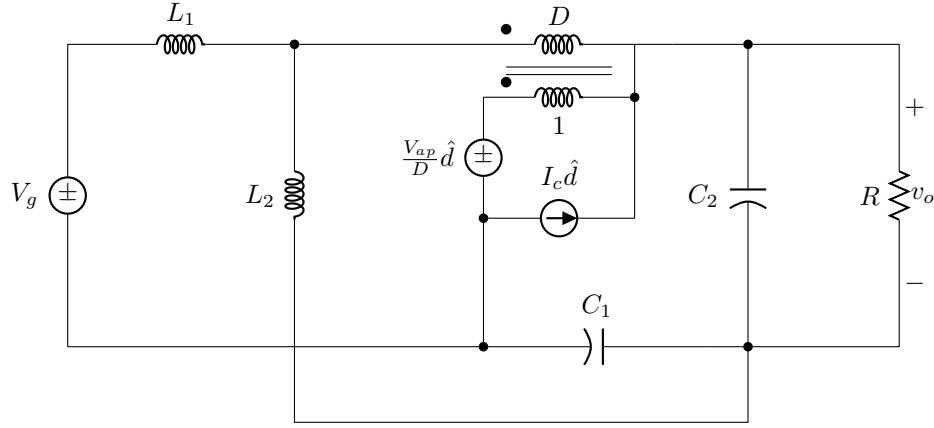


Figura 5.6: Convertidor Sepic - Modelo AC

$$\frac{v_o(s)}{d(s)} \approx \frac{1}{D^2} \frac{\left(1 - s \frac{L_1 D^2}{R D'^2}\right) \left(1 - s \frac{C_1 (L_1 + L_2) R D'^2}{L_1 D^2} + s^2 \frac{L_2 C_1}{D}\right)}{\left(1 + \frac{s}{\omega_{o1} Q_1} + \frac{s^2}{(\omega_{o1})^2}\right) \left(1 + \frac{s}{\omega_{o2} Q_2} + \frac{s^2}{(\omega_{o2})^2}\right)} \quad (5.6)$$

$$\omega_{o1} \approx \frac{1}{\sqrt{L_1 \left(C_2 \frac{D^2}{D'^2} + C_1\right) + L_2 (C_1 + C_2)}} \quad Q_1 \approx \frac{R}{\omega_{o1} \left(L_1 \frac{D^2}{D'^2} + L_2\right)}$$

$$\omega_{o2} \approx \sqrt{\frac{1}{L_2 \frac{C_1}{D^2} \parallel \frac{C_2}{D'^2}} + \frac{1}{L_1 C_1 \parallel C_2}} \quad Q_2 \approx \frac{R}{\omega_{o2} (L_1 + L_2) \frac{C_1 \omega_{o1}^2}{C_2 \omega_{o2}^2}}$$

La Ecuación (5.6) es derivada a partir del circuito de la Figura (5.6), la cual corresponde a un circuito lineal equivalente del convertidor Sepic obtenido utilizando la técnica de *Circuit Averaging*.

Como se observa en la Ecuación (5.6), el convertidor Sepic exhibe dos RHPZ, obligando así a la utilización de técnicas especializadas de compensación para su implementación como convertidor DC-DC. Extendiendo la anterior idea, la presencia de al menos un RHP convierte al Sepic en un sistema de fase no mínima, lo cual resulta en grandes complicaciones en el diseño del compensador; entre otras cosas, la presencia de los RHP's obliga al diseñador a limitar el ancho de banda del lazo de control de voltaje, haciendo del convertidor Sepic una pobre elección cuando el tiempo de respuesta es un factor crítico en un diseño.

Más adelante se verá, que los tres lazos de control que se utilizan para el control del rectificador controlado no tienen relación directa con las limitaciones expuestas en el párrafo anterior.

5.1.5. Implementación como rectificador controlado

Un rectificador controlado tiene básicamente dos objetivos:

1. Forzar la corriente de entrada para que esta tenga una forma de onda senoidal.
2. Regular la tensión de salida.

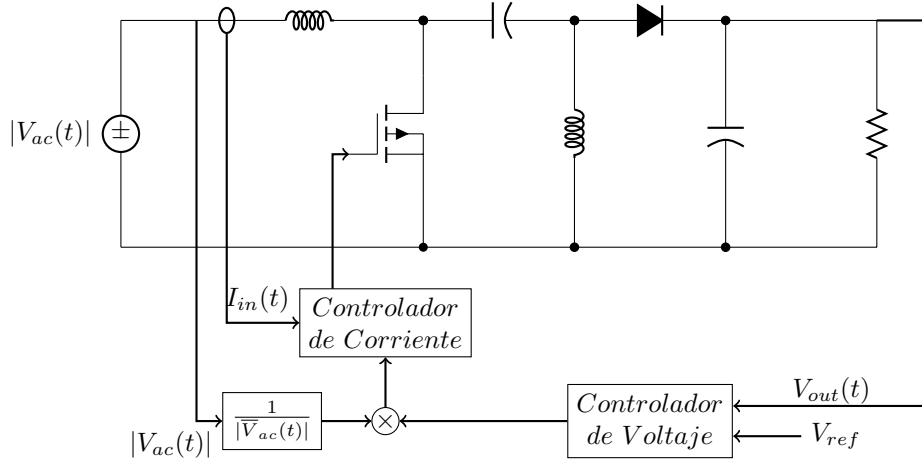


Figura 5.7: Convertidor Sepic utilizado como rectificador controlado

Para cumplir con ambos objetivos satisfactoriamente hacen falta 3 lazos de control, como se muestra en la *Figura (5.7)*, dónde uno de los lazos es de feedforward y los otros dos son de feedback.

La tensión de salida para una determinada carga es función de la cantidad de energía drenada de la línea, esta energía a su vez es función de $V_{in}(t)$ y $I_{in}(t)$, de los cuales sólo es posible controlar $I_{in}(t)$. Bajo la premisa de corregir el factor de potencia y mantener regulada la tensión de salida, la única acción que se puede generar sobre $I_{in}(t)$ es cambiar su valor pico, luego entonces, una parte del controlador del sistema debe encargarse de calcular el valor pico de $I_{in}(t)$, mientras que otra debe encargarse de que $I_{in}(t)$ efectivamente siga esta referencia.

5.1.5.1. Controlador de corriente

Está claro que el objetivo del lazo de control de corriente es forzar la corriente de entrada para que esta siga una determinada referencia, la incógnita es: ¿Cómo alcanzar este objetivo?

En el *Capítulo 2* se exponen varias de las metodologías de control comúnmente utilizadas. Una de estas es la estrategia de control por corriente promedio, la cual se basa en una frecuencia de conmutación constante. El control por corriente promedio es quizás el más documentado y estudiado, aún así, su implementación digital resulta exigente, debido a la necesidad de realizar varias multiplicaciones y divisiones para calcular la señal de control durante cada ciclo, requiriéndose de procesadores digitales relativamente avanzados y veloces.

La estrategia propuesta en este trabajo es el control por histéresis, bajo la hipótesis de que esta puede conllevar a una mejora considerable en la eficiencia del rectificador controlado, y principalmente su elección se enmarca en su mayor simplicidad respecto a la estrategia de control por corriente promedio.

Como se observa en la *Figura (5.1)*, $I_{in}(t)$ está gobernada por la conmutación de sw_1 , sobre este hecho se basa el control por histéresis.

Si sw_1 es un cortocircuito, $V_{L_{in}}(t) = V_{in}(t)$, lo cual implica que L_{in} se carga, aumentando linealmente la corriente que circula a través de ella con pendiente $\frac{dI_{L_{in}}(t)}{dt_{on}} = \frac{V_{in}(t)}{L_{in}}$. Si sw_1 es un circuito

abierto $V_{L_{in}}(t) = -V_{out}(t)$, lo cual implica que L_{in} se descarga con pendiente $\frac{dI_{L_{in}}(t)}{dt_{off}} = -\frac{V_{out}(t)}{L_{in}}$. Siempre y cuando $dI_{L_{in}}$, dt_{on} y dt_{off} sean relativamente pequeños, es válido decir que: $dI_{L_{in}} \approx \Delta I_{L_{in}}$, $dt_{on} = \Delta t_{on}$ y $dt_{off} = \Delta t_{off}$.

Se observa entonces que controlando Δt_{on} y Δt_{off} es posible controlar el incremento y decremento de $I_{L_{in}}(t)$ de tal forma que esta siga una determinada referencia, la cual para este caso es una forma de onda senoidal.

No es difícil descubrir que si se pretendiese hacer que $I_{L_{in}}(t)$ siguiera con total precisión una referencia senoidal, la frecuencia de conmutación de sw_1 y sw_2 sería infinita. Para que el sistema sea realizable hace falta permitir que $I_{L_{in}}(t)$ oscile alrededor de la referencia, al margen de oscilación permitido se le llama margen o ventana de histéresis ($\Delta I_{L_{in}}$).

La aplicación de esta metodología de control con miras a lograr los objetivos inicialmente establecidos se basa en las siguientes ecuaciones:

Durante Δt_{on} :

$$\Delta t_{on} = \frac{2L_{in}\Delta I_{L_{in}}}{V_{in}(t)}$$

Durante Δt_{off} :

$$\Delta t_{off} = \frac{2L_{in}\Delta I_{L_{in}}}{V_{out}(t)}$$

Así:

$$f_s = \frac{1}{T_s} = \frac{1}{\Delta t_{on} + \Delta t_{off}} = \frac{V_{in}(t)V_{out}(t)}{2\Delta I_{L_{in}}L_{in}(V_{in}(t) + V_{out}(t))}$$

En la *Figura (5.8)* se observa el gráfico de f_s vs θ .

Optimizando respecto a $V_{in}(t)$ se encuentra:

$$f_{s_{max}} = \frac{V_{in}V_{out}(RMS)}{2\Delta I_{L_{in}}L_{in}(V_{in} + V_{out}(RMS))}$$

Finalmente, se obtiene el que será escogido como criterio de diseño para L_{in} :

$$L_{in} = \frac{V_{in}V_{out}(RMS)}{2\Delta I_{L_{in}}f_{s_{max}}(V_{in} + V_{out}(RMS))} \quad (5.7)$$

Como se había mencionado anteriormente, una de las razones de la elección de la topología Sepic para la etapa de potencia del rectificador controlado, está enmarcada en la estrategia de control seleccionada. Es fácil demostrar que para un convertidor Boost el valor de L_{in} para los mismos valores de V_{in} , $V_{out}(RMS)$, $\Delta I_{L_{in}}$ y $f_{s_{max}}$, es considerablemente mayor al obtenido para un convertidor Sepic según la *Ecuación (5.7)*; y teniendo en cuenta que la dificultad, tamaño y precio requerido para la fabricación de bobinas incrementa conforme se eleva el valor de su inductancia y capacidad de corriente, este es un factor determinante. La topología Cuk desde este enfoque, proporciona también dicha ventaja, sin embargo su tensión de salida es invertida respecto a

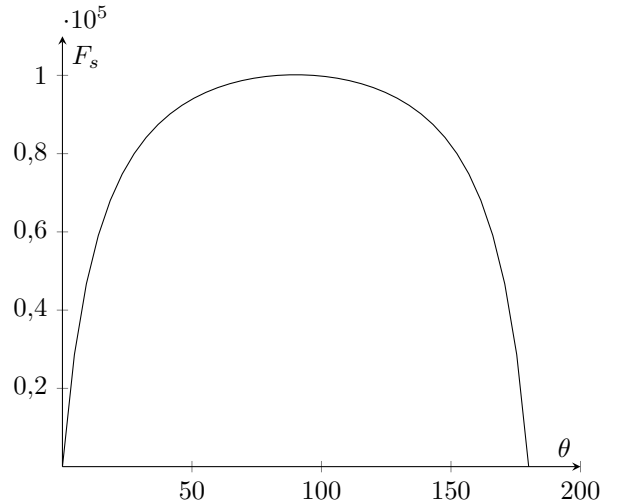


Figura 5.8: f_s vs θ

la de entrada. Adicional a lo anterior, la topología Sepic permite menor corriente de irrupción lo que disminuye el estrés de los componentes del sistema.

En la *Figura (5.9)* se muestra el circuito propuesto para realización del lazo de control de corriente.

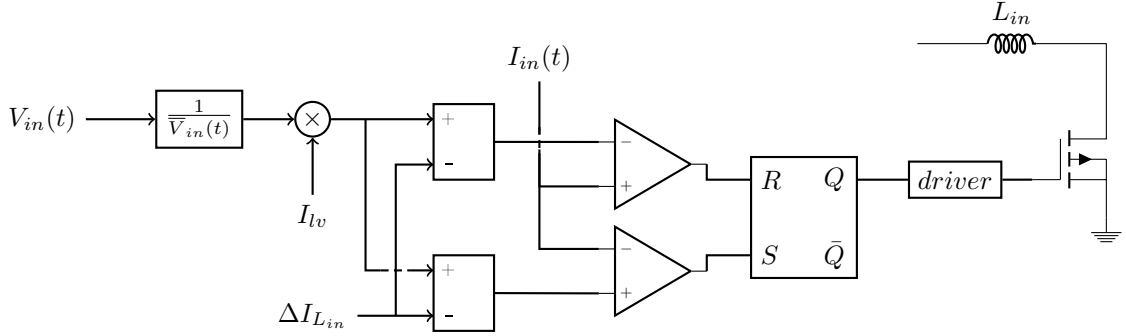


Figura 5.9: Circuito propuesto para el controlador de corriente

5.1.5.2. Lazo de feedforward

Para esclarecer la razón de la utilización de este lazo de control, supóngase que el cálculo de I_{ref} se realiza solamente a partir de la salida del controlador de voltaje y una variable proporcional a $V_{in}(t)$. En caso de que $V_{in}(t)$ disminuya su valor pico, la referencia de corriente también lo hará, y si la carga se mantiene constante, la tensión de salida disminuirá, este error será posteriormente corregido por el lazo de control de voltaje, del cual ya son conocidas sus limitaciones en cuanto a la velocidad de respuesta, obteniéndose así una respuesta poco satisfactoria del sistema frente a variaciones en la tensión de línea.

Para resolver la anterior situación, se ingresa en el cálculo de la referencia de corriente al recíproco de la tensión de entrada promedio, de esta forma, la variación de $V_{in}(t)$ entre cada ciclo de línea se ve prácticamente anulada.

5.1.5.3. Controlador de voltaje

La función de este lazo de control, es regular la tensión de salida manipulando el valor pico de la corriente de referencia que debe seguir el lazo de corriente; de esta manera, si el voltaje de salida disminuye, la acción de control de este lazo es aumentar el valor pico de la referencia de corriente, para traer como efecto el incremento en la tensión, de forma contraria si aumenta la tensión, es necesario disminuir la referencia del lazo de control de corriente.

Como se explicó en la *Sección 4.2* este lazo de control debe ser de bajo ancho de banda, esta limitación facilita en gran medida el diseño del mismo, obsérvese que de lo contrario habría que considerar la característica de fase no mínima expuesta anteriormente. Sólo hace falta modelar el comportamiento de baja frecuencia del convertidor, y con base en este diseñar el compensador que asegure la estabilidad y especificaciones del diseño.

En [13] se encuentra un modelo de baja frecuencia (*Ecuación (5.8)*) para cualquier topología implementada como rectificador controlado, basado en el principio de conservación de energía.

$$G(s) = \frac{V_{out(RMS)}}{I_{in}} = \frac{V_{in}}{2V_{out(RMS)}} \frac{R_{out}}{1 + sR_{out}C_{out}} \quad (5.8)$$

Reescribiendo:

$$G(s) = G_{DC}G_{ac}(s) \therefore G_{DC} = \frac{V_{in}R_{out}}{2V_{out(RMS)}}, G_{ac}(s) = \frac{1}{1 + sR_{out}C_{out}}$$

A continuación se realiza un breve estudio de la respuesta en frecuencia de $G_{ac}(s)$, con miras a introducir el concepto de estabilidad y determinar los requerimientos que debe cumplir el compensador para lograr el comportamiento esperado.

Inicialmente para $\|G_{ac}(s)\|$:

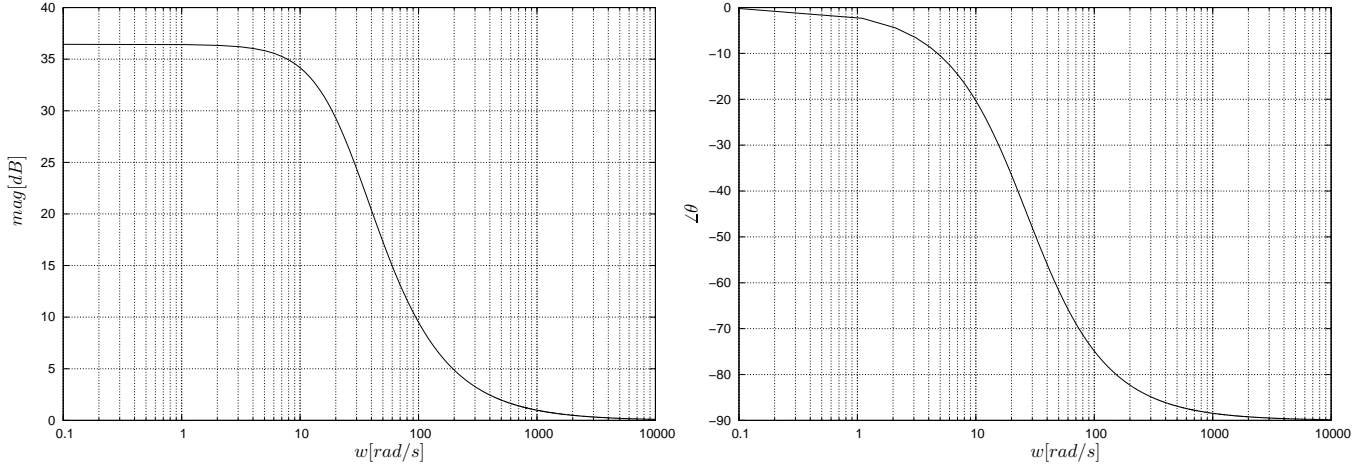


Figura 5.10: Gráfico de Bode de $G_{ac}(s)$ planta rectificador controlado

$$\|G_{ac}(s)\| = \frac{1}{\sqrt{1 + \left(\frac{\omega}{\omega_o}\right)^2}} \quad (5.9)$$

Si $\frac{\omega}{\omega_o} \ll 1$:

$$\|G_{ac}(s)\|_{dB} \approx 0dB \quad (5.10)$$

Si $\omega = \omega_o$:

$$\|G_{ac}(s)\|_{dB} = -3dB \quad (5.11)$$

Si $\frac{\omega}{\omega_o} \gg 1$:

$$\|G_{ac}(s)\|_{dB} \approx -20 \log \left(\frac{\omega}{\omega_o} \right) \quad (5.12)$$

La conclusión que se obtiene de las Ecuaciones (5.10), (5.11) y (5.12) es que a partir de $\omega = \omega_o$ la ganancia del sistema empieza a caer a razón de 20 decibeles por década.

Por otro lado, para $\angle G_{ac}(s)$:

$$\angle G_{ac}(s) = -\tan^{-1} \left(\frac{\omega}{\omega_o} \right) \quad (5.13)$$

Si $\frac{\omega}{\omega_o} \ll 1$:

$$\angle G_{ac}(s) \approx 0^\circ \quad (5.14)$$

Si $\omega = \omega_o$:

$$\angle G_{ac}(s) \approx 45^\circ \quad (5.15)$$

Si $\frac{\omega}{\omega_o} \gg 1$:

$$\angle G_{ac}(s) \approx 90^\circ \quad (5.16)$$

Se concluye entonces que el sistema es de fase mínima.

Debido a su naturaleza (DC) G_{DC} no cambia la fase de $G(s)$, pero sí hay un cambio de magnitud. Cualquier cambio en V_{in} , V_{outRMS} y R_{out} puede conllevar a la inestabilidad de un sistema que inicialmente era estable. Para aclarar lo anterior, hace falta introducir el criterio de estabilidad.

Criterio de Estabilidad

Desde el punto de vista clásico, la acción de un controlador inicia por comparar la variable controlada con una referencia estable, luego amplificar la señal de error y generar una acción correctiva. La idea es que dicha acción correctiva siempre se oponga a los cambios de la variable controlada respecto a la referencia.

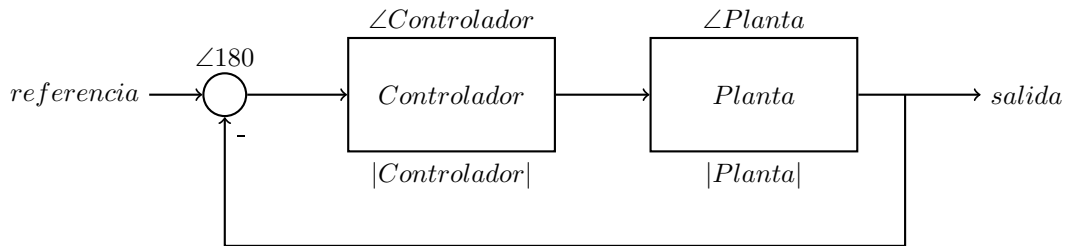


Figura 5.11: Diagrama de bloques - Sistema de control lineal

Partiendo de la naturaleza lineal de todos los componentes del sistema *Figura (5.11)*, supóngase la descomposición en series de fourier de todas las señales, cada componente frecuencial se verá entonces amplificada o atenuada y desfasada.

Si para un determinado armónico el desfase total ($\angle 180 + \angle controlador + \angle planta$) es cercano a 360 grados y la ganancia del sistema es superior o cercana a los 0dB, la componente se amplificará o de lo contrario su desvanecimiento tomará mucho tiempo. Lo anterior implicaría en el mejor de los casos una respuesta transitoria realmente pobre, o en el caso más desafortunado se tendría un oscilador.

De lo anterior se concluye que visto desde el dominio de la frecuencia, el objetivo es lograr que aquellas componentes “no deseadas”¹ se atenúen cuánto antes. En la *Figura (5.10)* no se observa la frecuencia de ninguna de estas componentes “no deseadas”, esto es de esperarse dada su naturaleza de sistema de primer orden, aún así se verá que es importante limitar el ancho de banda del sistema en lazo cerrado con el fin de evitar que el segundo armónico presente en la señal de voltaje de salida sea amplificado.

El cambio necesario en la respuesta en frecuencia del sistema es realizado por el compensador. Referente a los compensadores existe una amplia documentación, especialmente respecto a compensadores PI, PD y PID. Se ha encontrado una forma sencilla y rápida de desarrollar compensadores utilizando el llamado “Factor k” desarrollado en [14]. En [15] se utiliza el “Factor k” para desarrollar compensadores especialmente útiles para etapas de potencia de convertidores conmutados. Si bien el modelo de baja frecuencia utilizado en este documento para modelar la etapa de potencia del rectificador controlado, no corresponde al modelo de ningún convertidor conmutado, los tipos de compensadores expuestos en [15] siguen siendo aplicables.

Como se observa en la respuesta en frecuencia del modelo utilizado para el rectificador controlado *Figura (5.10)*, el compensador debe limitar el ancho de banda del sistema de control a una frecuencia determinada (debido a la presencia del segundo armónico en la tensión de salida). Para esto se ha escodido al compensador Tipo II mostrado en [15].

¹Con base en las especificaciones de diseño, por lo general la especificación se basa en el ancho de banda del sistema.

Amplificador Tipo II

El circuito correspondiente se muestra en la *Figura (5.12)*, y su respuesta en frecuencia en la *Figura (5.13)*.

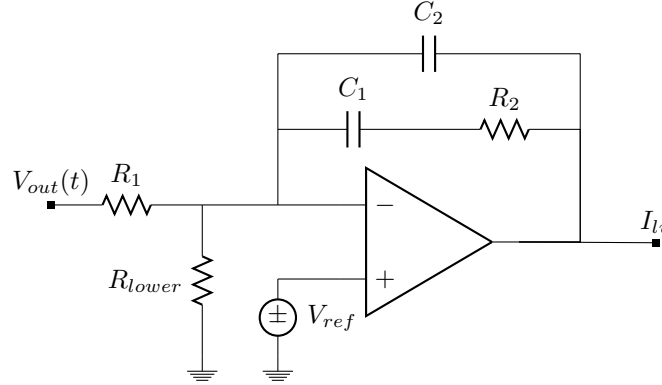


Figura 5.12: *Circuito Amplificador Tipo II*

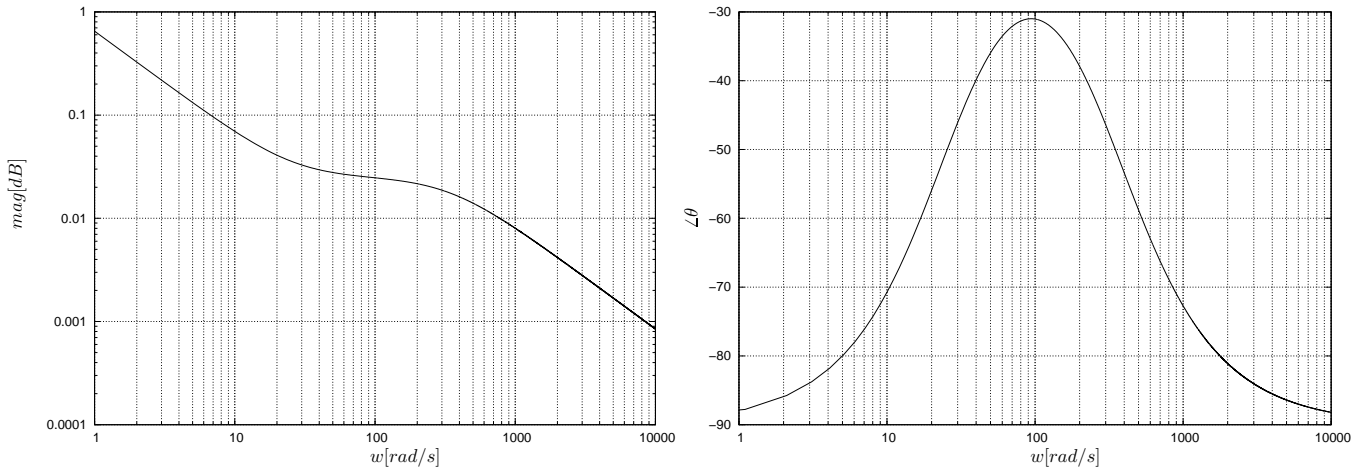


Figura 5.13: *Respuesta en Frecuencia G_C(s) Amplificador Tipo II*

Para el cálculo del valor de cada componente del circuito de la *Figura (5.12)* se utilizan las siguientes ecuaciones:

$$C_2 = \frac{1}{2\pi f_c G R_1} \quad C_1 = C_2 (k^2 - 1) \quad R_2 = \frac{k}{2\pi f_c C_1} \quad (5.17)$$

$$\alpha = \frac{R_{lower}}{R_1 + R_{lower}} \quad \therefore \quad \alpha = \frac{V_{ref}}{V_{out}} \quad (5.18)$$

Las constantes k y G están directamente relacionadas con las especificaciones concernientes a la respuesta en frecuencia esperada del sistema compensado. Una vez estipulada la frecuencia de corte deseada, se ubica en el gráfico de Bode de la planta el valor de la ganancia del sistema, el valor obtenido se ingresa en la *Ecuacion (5.19)* para obtener el valor de G .

$$G = 10^{\frac{G(f_c)}{20}} \quad (5.19)$$

Nuevamente, con el valor de la frecuencia de corte estipulada se utiliza el gráfico de bode, pero esta vez se determina el aumento en fase requerido. Valores típicos de margen de fase que ofrecen una respuesta transitoria adecuada oscilan entre los 45 y 75 grados. En el caso particular de este tipo de compensador, el aumento en fase requerido (*Boost*) se calcula como:

$$Boost = Margen\ de\ fase - Fase\ actual\ en\ f_c - 90 \quad (5.20)$$

Una vez obtenido el valor de *Boost*, se calcula *k* utilizando la Ecuación (5.21).

$$k = \tan\left(\frac{boost}{2} + 45\right) \quad (5.21)$$

Por último, recuérdese que variaciones en G_{DC} pueden dar lugar a condiciones de inestabilidad, a ese fenómeno se le llama estabilidad condicional; es importante que el compensador diseñado haga su trabajo para todos los valores de G_{DC} , enmarcados en las premisas de diseño del sistema.

La función de transferencia del amplificador tipo II es la siguiente:

$$G_C(s) = \frac{U(s)}{E(s)} = \frac{1 + sR_2C_1}{sR_1(C_1 + C_2) \left(1 + sR_2\frac{C_1C_2}{C_1+C_2}\right)} \quad (5.22)$$

5.1.5.4. Criterios para el cálculo de L_{in} , C_t , L_{out} y C_{out}

El criterio de diseño de L_{in} ha sido previamente determinado (Ecuación (5.7)), en función de la frecuencia máxima de conmutación, la tensión de línea y el rizado de corriente estipulado.

La premisa de diseño para C_t es hallada también a partir de la naturaleza de la forma de onda de la tensión entre sus terminales. Si bien en estado estable la tensión promedio de cada ciclo de conmutación corresponde a la tensión de entrada, esto no implica que la forma de onda sea diferenciable, en realidad, la tensión entre los terminales de C_t contiene un rizado debido al proceso de carga y descarga que sufre durante cada ciclo de conmutación.

Como ya se expuso anteriormente, durante t_{on} ($t_{on} = \frac{2\Delta I_{L_{in}}}{V_{in}(t)}$) la corriente a través de C_t es $-I_{out}(t)$, y durante t_{off} ($t_{off} = \frac{2\Delta I_{L_{in}}}{V_{out}(t)}$) es $I_{in}(t)$, luego entonces el rizado en la tensión en los terminales de C_t puede ser calculado cómo:

$$\Delta V_{C_t} = \frac{\Delta I_{L_{in}} L_{in} I_{in}(t)}{C_t V_{out}(RMS)} \quad (5.23)$$

El criterio de diseño que se utilizará en este trabajo es el rizado máximo, que se presenta cuando $wt = 90$, finalmente:

$$C_t = \frac{\Delta I_{L_{in}} L_{in} I_{in}}{V_{out}(RMS) \Delta V_{C_t}} \quad (5.24)$$

A diferencia de L_{in} , la corriente promedio a través de L_{out} es DC, así que se utiliza el balance tensión-tiempo para determinar su valor, en función del rizado de la corriente que circula a través de ella, la inductancia de entrada (L_{in}) y el rizado de la corriente de entrada así:

$$L_{out} = \frac{\Delta I_{L_{in}} L_{in}}{\Delta I_{L_{out}}} \quad (5.25)$$

El criterio de diseño para determinar el valor de C_{out} es el Hold-up-time, pero además debe existir un compromiso con la magnitud de la tensión pico del armónico presente en el voltaje de salida y

la dinámica del lazo de voltaje del convertidor Sepic. La razón de esto último es que la constante de tiempo del sistema es directamente proporcional a C_{out} .

Supóngase que el Convertidor Sepic implementado como rectificador controlado tiene como carga a un convertidor DC-DC, al cual se le debe suministrar una potencia constante P_{out} , supóngase además que durante un período de tiempo Δt , la alimentación del rectificador desaparece, en esta situación, el capacitor de salida debe ser capaz de proveer energía suficiente para que la tensión de salida no llegue a un nivel mínimo ($V_{C_{out}(min)}$) establecido previamente como premisa de diseño, así:

$$\frac{1}{2}C_{out}V_{C_{out}(RMS)}^2 - \frac{1}{2}C_{out}V_{C_{out}(min)}^2 = P_{out}\Delta t$$

Despejando C_{out} se obtiene:

$$C_{out} = \frac{2P_{out}\Delta t}{V_{C_{out}(RMS)}^2 - V_{C_{out}(min)}^2} \quad (5.26)$$

Dónde Δt es el tiempo que C_{out} proporcionaría energía sin alimentación en la entrada.

Resulta pertinente al momento del diseño evaluar la magnitud del armónico presente en la tensión de salida mediante la *Ecuación (4.23)*.

Este capacitor hace las veces del condensador de salida ilustrado en la *Figura (4.10)*, de manera que hace parte de la topología como tal del convertidor Sepic y a su vez es el elemento encargado de hacer la transferencia de energía entre la entrada del sistema y la salida hacia el otro convertidor.

5.1.5.5. Control Digital Del Rectificador Controlado

Uno de los objetivos propuestos en este trabajo es el diseño mediante técnicas digitales del control del rectificador controlado. A continuación se presenta la base teórica que se considera necesaria.

Como en todo proceso de diseño, se inicia por estudiar los requerimientos para esta etapa del sistema. Anteriormente se extendió información sobre los tres lazos de control requeridos para la operación del rectificador controlado, se entiende entonces que el DSC (*Digital Signal Controller*) deberá a lo menos ser capaz de realizar estas tres tareas de manera concurrente, además de alguna otra tarea necesaria para incrementar la robustez y confiabilidad del sistema.

Cada tarea asignada al DSC exige ciertos requerimientos mínimos en cuanto al performance y los periféricos que este debe poseer, a continuación se presenta a cada lazo de control con los requerimientos correspondientes.

Lazo de Feed Forward

Este lazo de control está encargado de proveer al controlador una señal senoidal rectificada desacoplada de la tensión de entrada, la cual representa la señal normalizada de referencia a seguir por el lazo de corriente (el valor pico de esta señal lo produce el lazo de voltaje). El término desacoplo hace referencia a la insensibilidad a las variaciones del valor pico de la tensión de entrada, respecto a esto existen técnicas que se basan en la utilización de vectores con valores previamente calculados para una señal senoidal a una frecuencia fija. La anterior técnica se considera poco flexible, dado que variaciones en la frecuencia de línea darían lugar a un gran nivel de distorsión en la corriente de entrada, además de posibles fallas. Existe otra técnica basada en el cálculo dinámico de este vector por parte del DSC, esta última da lugar a la necesidad de elegir procesadores digitales de gamma media-alta, lo cual tampoco es lo más deseable a la hora de comercializar un producto.

En este trabajo se propone la utilización de una estrategia basada en el sensado de la tensión de entrada, y el cálculo de su valor promedio utilizando un integrador digital. Lo anterior se hace considerando un bajo nivel de distorsión en la onda de tensión de entrada, el cual es el mas común de los casos.

En el caso analógico, la referencia de la corriente de entrada es continua y diferenciable, en el caso digital, la referencia de corriente será continua, mas no diferenciable, lo cual induce un porcentaje de

distorsión que es inversamente proporcional a la frecuencia a la cual se calcule. A partir de cierto valor de frecuencia, el cambio en la relación entre el porcentaje de distorsión introducido y la frecuencia de cálculo de la corriente de referencia se hace insignificante, por tanto un compromiso entre el performance del DSC a seleccionar y el nivel de distorsión introducido debe ser hecho por el diseñador.

El cálculo de la tensión promedio discretizada ($\bar{V}_{in}(n)$) se realiza a través de la *Ecuación (5.27)*:

$$\bar{V}_{in} = \sum_{i=1}^n \frac{V_{in}(i)}{n} \quad (5.27)$$

Por tanto el DSC debe ser capaz de almacenar y manejar variables con el número de bits necesarios para $\bar{V}_{in}(n)$, obsérvese que esto dependerá únicamente del número de bits del conversor análogo-digital utilizado y el número de muestras tomadas (n). Respecto al número de bits requeridos para la conversión análogo-digital, el diseñador debe establecer un compromiso entre el error de cuantización, el costo del DSC, y las especificaciones de su diseño.

El cálculo de la referencia de corriente ($I_{ref}(n)$) que debe seguir el lazo de mayor ancho de banda se realiza a través de la *Ecuación (5.28)*:

$$I_{ref}(i) = \frac{V_{in}(i)}{\bar{V}_{in}} I_{lv}(i) \quad (5.28)$$

Dónde $I_{lv}(i)$ es la salida del lazo de voltaje.

Al observar la *Ecuación (5.28)* se deduce que el DSC utilizado debe ser capaz de realizar este cálculo a una velocidad tal que el retardo introducido al sistema no represente un problema para su operación. La periodicidad del cálculo de $I_{ref}(n)$ puede ser determinada utilizando alguno de los timers del DSC, de igual manera el código correspondiente a este cálculo podría ser almacenado en el servicio de interrupción del timer utilizado.

Controlador de voltaje

El diseño digital del lazo de control de voltaje implica la discretización de la función de transferencia mostrada en la *Ecuación (5.22)*, para esto se utilizará la transformación bilineal, la cual corresponde a una aproximación de la equivalencia entre el dominio de s y z . La transformación bilineal de s a z se realiza utilizando la *Ecuación (5.29)*.

$$s = \frac{2}{T} \frac{z-1}{z+1} \quad (5.29)$$

Reemplazando la *Ecuación (5.29)* en la *Ecuación (5.22)* y organizando los términos, se obtiene:

$$G(z) = \frac{U(z)}{E(z)} = \frac{(k_1 + 1)z^2 + 2z + (1 - k_1)}{k_2(k_3 + 1)z^2 - 2k_2k_3z - k_2(1 - k_3)} \quad (5.30)$$

Dónde:

$$k_1 = \frac{2R_2C_1}{T}, \quad k_2 = \frac{2R_1(C_1 + C_2)}{T}, \quad k_3 = \frac{2R_2C_1C_2}{T(C_1 + C_2)} \quad (5.31)$$

Por último, la *Ecuación (5.30)* se convierte a una ecuación en diferencias dividiendo su numerador y denominador por el término de mayor orden (z^2).

Finalmente se obtiene:

$$I_{lv}(i) = U(k) = \frac{2k_2k_3U(k-1) + k_2(1-k_3)U(k-2) + (k_1+1)E(k) + 2E(k-1) + (1-k_1)E(k-2)}{k_2(k_3+1)} \quad (5.32)$$

La constante T presentada en las ecuaciones para k_1 , k_2 , y k_3 corresponde al tiempo que existe entre cálculos consecutivos de $U(k)$, se da por sentado que el valor de T debe ser tal que a lo menos se respete el criterio de nyquist, pero también es cierto que a medida que T sea más pequeño, mayor será la semejanza con el resultado obtenido por la contraparte análoga, aún así, nuevamente un compromiso debe ser hecho por parte del diseñador, debido a que como se observa en la *Ecuación (5.31)*, a medida que T se hace más pequeño, más grande se torna el valor de las variables involucradas, lo cual sería inmanejable por parte del DSC, a partir de cierta medida.

Nuevamente, la periodicidad del cálculo de $U(k)$ puede ser establecida utilizando un timer del DSC, al igual que es posible incluir el algoritmo que corresponda al cálculo de la *Ecuación (5.32)*, dentro del correspondiente servicio de interrupción.

Controlador de corriente

Para la implementación del lazo de corriente propuesto, *Figura (5.9)*, también existen diferentes alternativas. La primera consiste en utilizar el circuito propuesto en la *Figura (5.9)* tal cual, esto obligaría al diseño de un sumador, un restador, dos circuitos comparadores y la utilización de un Flip Flop S-R; en este trabajo, se ha optado por la utilización de los módulos comparadores de alta velocidad que poseen ciertas familias de DSCs, estos módulos proveen una gran flexibilidad al diseñador, además de abaratar costos. Estos módulos comparadores, entre otras cosas, dan la oportunidad de “conectar” una de las entradas del comparador a un convertidor Digital-Análogo de alta velocidad, lo cual facilitaría en gran medida la creación de la banda de histéresis a partir de la referencia de corriente calculada al “interior” del DSC ($I_{ref}(n)$), también es posible generar una interrupción a partir del flanco de subida o bajada de la salida del comparador, se podría entonces homologar la función del Flip-Flop en software utilizando los servicios de interrupción. Nótese que la labor del Flip-Flop es mantener el estado del switch controlado mientras la corriente de entrada oscila entre las bandas de histéresis.

La operación del módulo comparador prácticamente no requiere intervención por parte de la CPU del DSC, debido a que sólo se necesitará de esta cuando el servicio de interrupción sea requerido. Nótese cómo hasta el momento se ha mencionado la utilización de dos servicios de interrupción, esto da lugar a una nueva consideración a tener en cuenta por parte del programador; sucede que la operación de la ALU implica la utilización de ciertos registros que sirven como auxiliares para realización de cada uno de los cálculos, básicamente, la operación de la ALU involucra al menos un registro de trabajo y el registro de status de la misma. Supóngase que el DSC se dispone a realizar una multiplicación en formato fixed point, para esto, utiliza el multiplicador que posee dentro de su ALU, además de dos registros de trabajo denominados W0 y W1, en los cuales almacena provisionalmente los dos números que pretende multiplicar, supóngase además que en el instante previo a la realización del cálculo, la CPU es alertada para que atienda a una interrupción, en dicho servicio de interrupción se ordena a la CPU calcular la suma entre dos números, para esto, el procesador necesita almacenar los valores que se pretenden sumar en los registros de trabajo W0 y W1, una vez realizado el cálculo la CPU instruye al contador de programa (PC) para que vuelva a ejecutar la acción en la que estaba antes de que se requiriera el servicio de interrupción, al hacerlo, los valores que están en los registros de trabajo W0 y W1 no son los que estaban almacenados previamente, dando lugar a un resultado corrupto. Para evitar lo anterior hace falta utilizar una técnica perteneciente a la implementación de sistemas operativos en tiempo real llamada *shadowing*, que consiste en generar un *snapshot* del estado de la CPU antes de que el servicio de interrupción inicie, y restaurar su estado cuando el servicio de interrupción termine. Obsérvese la *Figura (5.14)*.

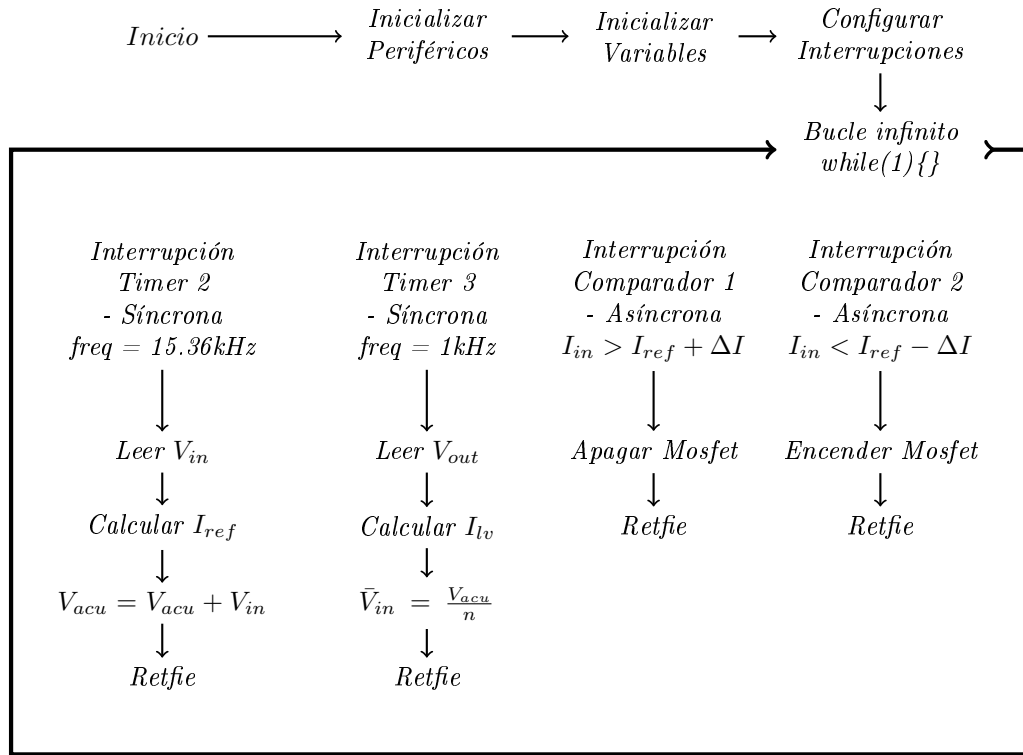


Figura 5.14: Máquina de estados del sistema

5.2. Convertidor Buck

Como se ha mostrado en la *Figura (4.10)*, es necesario adicionar un convertidor DC-DC en cascada con el rectificador controlado, con el fin de mejorar la regulación de carga utilizando un lazo de control de gran ancho de banda.

Las diferentes topologías de convertidores DC-DC explicadas en el *Capítulo I*, pueden ser utilizadas con el fin de lograr cumplir los requerimientos mencionados en el párrafo anterior, sin embargo dada su facilidad de diseño, se elige al Convertidor Buck como enlace entre el rectificador controlado y la carga.

El convertidor Buck, *Figura (5.15)*, por naturaleza produce una tensión de salida inferior a la tensión de entrada (a diferencia de la topología *Boost*, la cual eleva el voltaje de entrada), además al ser un sistema de segundo orden su diseño e implementación es significativamente más sencillo respecto a topologías como la *Cuk* y *Sepic*.

Como se observa en la *Figura (5.15)* el convertidor Buck posee un switch controlado (sw_1) y uno no controlado (sw_2), además se consideran las pérdidas asociadas a los elementos del sistema, como la resistencia de encendido de sw_1 (R_{on}), la caída de tensión en saturación de sw_2 (V_f), la resistencia interna de la inductancia L (R_L) y la resistencia equivalente en serie del condensador C (R_C).

Siempre y cuando el convertidor opere en el modo de corriente continua (CCM, la corriente en el inductor L nunca llega a cero) la conmutación del dispositivo de potencia controlado da lugar a la aparición de un circuito lineal para cada uno de sus estados (ON y OFF), para este caso los dos circuitos son respectivamente los mostrados en las *Figuras (5.16)* y *(5.17)*.

Al igual que lo realizado en el análisis del convertidor Sepic, se define el ciclo de trabajo $D = \frac{t_{on}}{T_s}$, donde t_{on} es el tiempo que está encendido el dispositivo de potencia controlado (sw_1) en un período

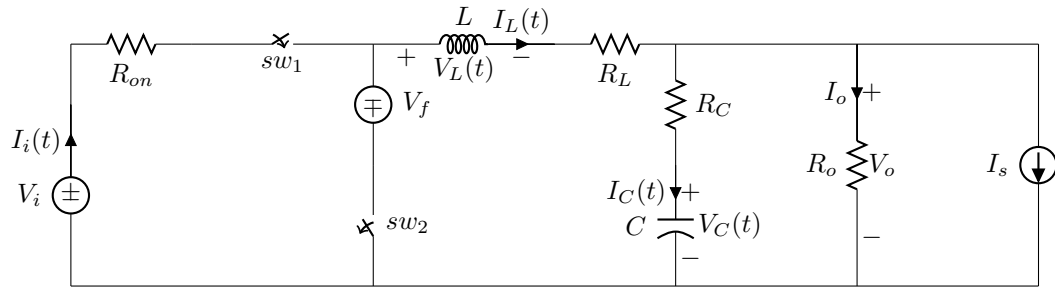


Figura 5.15: Esquemático Convertidor Buck Real

de conmutación T_s .

5.2.1. Switch Controlado ON $0 \leq t < DT_s$

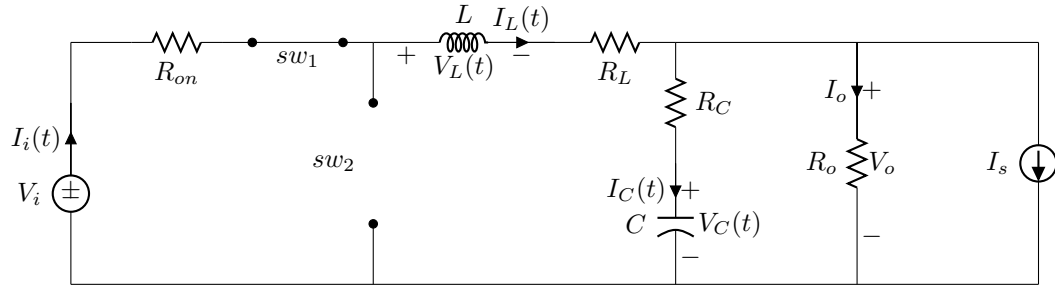


Figura 5.16: Convertidor Buck Real - ON

En este estado, como se aprecia en la *Figura (5.16)*, respecto a la tensión en la inductancia L , se cumple que:

$$V_L(t) = L \frac{dI_L(t)}{dt} = V_i(t) - I_L(t)R_{on} - I_L(t)R_L - V_C(t) - (I_L(t) - I_o(t) - I_s) R_C$$

$$\text{Dónde: } I_o(t) = \frac{V_i(t) - I_L(t)R_{on} - L \frac{dI_L(t)}{dt} - I_L(t)R_L}{R_o}$$

La corriente a través del capacitor C es igual a:

$$I_C = C \frac{dV_C(t)}{dt} = I_L(t) - \frac{\left(V_C(t) + C \frac{dV_C(t)}{dt} R_C \right)}{R_o} - I_s$$

La tensión de salida es igual a:

$$V_o(t) = V_C(t) + \left(I_L(t) - \frac{V_o(t)}{R_o} - I_s \right) R_C$$

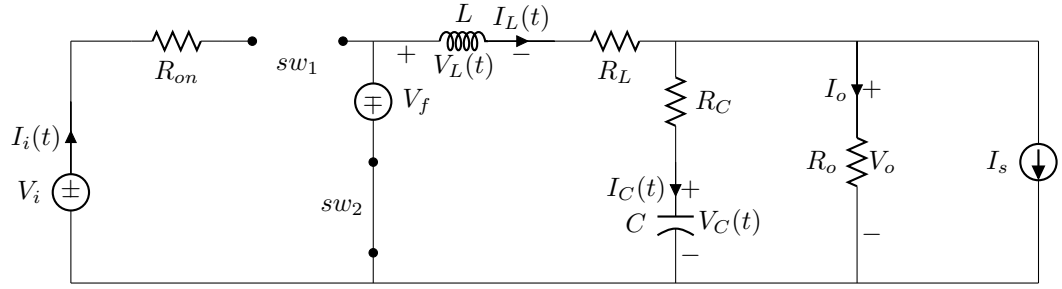


Figura 5.17: Convertidor Buck-OFF

5.2.2. Switch Controlado OFF $0 \leq t < DT_s$

En este estado, como se aprecia en la *Figura (5.17)*, respecto a la tensión en la inductancia L , se cumple que:

$$V_L(t) = L \frac{dI_L(t)}{dt} = -V_f - I_L(t)R_L - V_C(t) - (I_L(t) - I_o(t) - I_s)R_C$$

$$\text{Dónde } I_o(t) = \frac{-V_f - L \frac{dI_L(t)}{dt} - I_L(t)R_L}{R_o}$$

La corriente a través del capacitor igual a:

$$I_C = C \frac{dV_C(t)}{dt} = I_L(t) - \frac{\left(V_C(t) + C \frac{dV_C(t)}{dt} R_C \right)}{R_o} - I_s$$

La tensión de salida es igual a:

$$V_o(t) = V_C(t) + \left(I_L(t) - \frac{V_o(t)}{R_o} - I_s \right) R_C$$

5.2.3. Función de Transferencia en DC ideal

Para determinar la función de transferencia ideal del convertidor buck se desprecian las pérdidas anteriormente consideradas: la resistencia de encendido del dispositivo de potencia sw_1 , la caída de tensión en saturación de sw_2 , la resistencia interna de la inductancia y la resistencia equivalente en serie del condensador, por tanto respectivamente se tiene $R_{on} = V_f = R_L = R_C = 0$.

De acuerdo con la Ley de Faraday, el valor medio de la tensión en un inductor es nulo. Esto significa que los *voltios-segundo aplicados = voltios-segundo entregados*. De forma que se obtiene la *función de transferencia* en condiciones de régimen estacionario, así:

$$V_L(t) = L \frac{dI_L}{dt} \rightarrow \int_0^{T_s} \frac{V_L}{L} dt = \int_{I_L(0)}^{I_L(T_s)} dI_L = I_L(T_s) - I_L(0) = 0 \rightarrow I_L(T_s) = I_L(0)$$

Por tanto:

$$(\bar{V}_i(t) - \bar{V}_o(t))D = \bar{V}_o(t)(1 - D) \rightarrow M_{ideal} = \frac{\bar{V}_o(t)}{\bar{V}_i(t)} = D \quad (5.33)$$

Al despreciar las pérdidas en los componentes del convertidor, la potencia de entrada es igual a la potencia de salida, obteniéndose la siguiente relación entre las corrientes:

$$\bar{P}_o(t) = \bar{P}_i(t) \rightarrow \frac{\bar{I}_o(t)}{\bar{I}_i(t)} = \frac{\bar{V}_i(t)}{\bar{V}_o(t)} = \frac{1}{D}$$

De esta manera,

$$\bar{I}_o(t) = \frac{\bar{I}_i(t)}{D} \quad (5.34)$$

De esta forma se puede equiparar al convertidor Buck en modo continuo como un sistema equivalente a un transformador DC, dónde la relación de transformación es el ciclo de trabajo D .

Las formas de onda típicas de un convertidor Buck en estado estacionario se muestran en la *Figura (5.18)*:

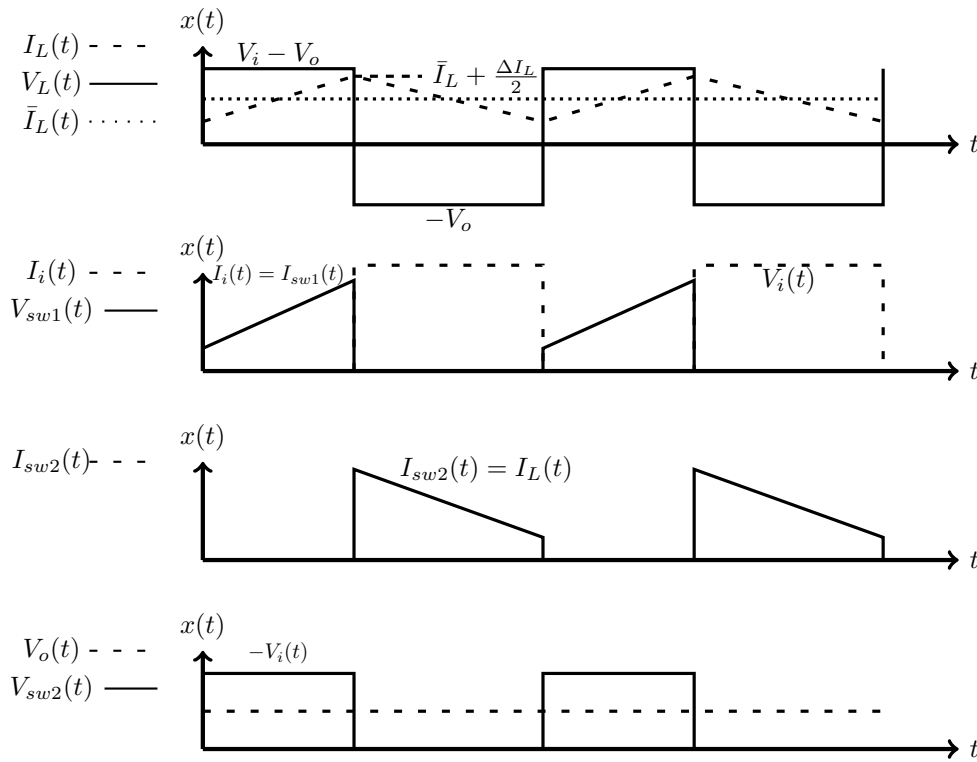


Figura 5.18: Formas de onda típicas convertidor Buck

5.2.4. Función de Transferencia en DC real

Teniendo en cuenta las pérdidas consideradas se introducen los siguientes términos los cuales son utilizados para determinar la función de transferencia real del convertidor buck:

- La máxima tensión en saturación del dispositivo controlado V_{sat} . Este factor es proporcional a la resistencia de encendido R_{on} y es obtenido directamente de la hoja de datos del dispositivo, este término representa la condición más crítica de operación al corresponder a la corriente máxima de diseño del transistor.
- El factor de carga $k = \frac{R_L}{R_o}$. Dónde R_L es la resistencia interna del inductor. Si el convertidor Buck opera entre dos cargas límites $R_{o(min)}$ y $R_{o(max)}$, entonces:

$$k_{min} = \frac{R_L}{R_{o(max)}} \quad (5.35)$$

$$k_{max} = \frac{R_L}{R_{o(min)}} \quad (5.36)$$

El balance tensión-tiempo en el inductor se expresa así:

$$(\bar{V}_i(t) - V_{sat} - I_L(t)R_L - \bar{V}_o(t)) D = (\bar{V}_o(t) + V_f + I_L(t)R_L) (1 - D)$$

De dónde:

$$D = \frac{\bar{V}_o(t)(1 + k) + V_f}{\bar{V}_i(t) - V_{sat} + V_f} \quad (5.37)$$

$$M_{real} = \frac{D \left(1 - \frac{V_{sat}}{\bar{V}_i(t)} + \frac{V_f}{\bar{V}_i(t)} \right) - \frac{V_f}{\bar{V}_i(t)}}{1 + k} \quad (5.38)$$

Como se puede interpretar en la ecuación anterior, la función de transferencia real está distorsionada respecto a su valor ideal por las pérdidas en los dispositivos de potencia y por la resistencia interna del bobinado; lo cual implica que para una determinada tensión de entrada y un ciclo de trabajo, la tensión de salida es inferior en el caso real respecto al caso ideal.

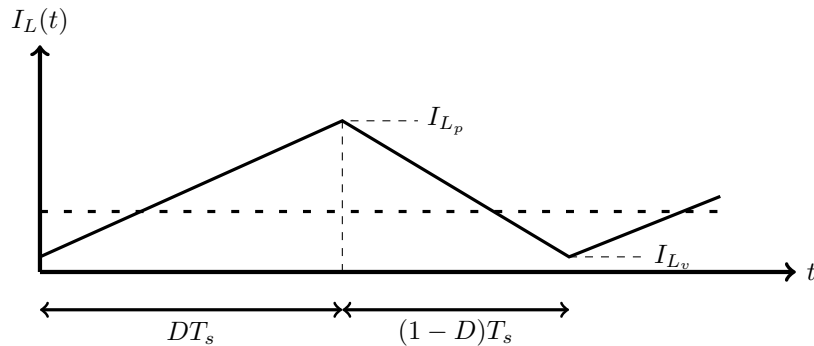
En el diseño de un convertidor DC-DC topología Buck, se contempla un rango de voltaje de entrada $\bar{V}_i(t)$ para obtener la salida regulada $\bar{V}_o(t)$. Si se denomina $\bar{V}_{i(min)}(t)$ al límite inferior y $\bar{V}_{i(max)}(t)$ al límite superior, de la Ecuación (5.37) se llega a:

$$D_{min} = \frac{\bar{V}_o(t)(1 + k_{min}) + V_f}{\bar{V}_{i(max)}(t) - V_{sat} + V_f} \quad (5.39)$$

$$D_{max} = \frac{\bar{V}_o(t)(1 + k_{max}) + V_f}{\bar{V}_{i(min)}(t) - V_{sat} + V_f} \quad (5.40)$$

5.2.5. Modo de Conducción Continua (CCM) y Regulación de la Tensión de Carga

El convertidor DC-DC Buck opera en Modo de Conducción Continua (CCM), cuándo la corriente a través de su inductancia no es pulsante, es decir, cuando nunca llega a cero (0). El caso límite de CCM, se grafica en la Figura (5.19):



$$I_L(t) = \frac{\bar{V}_i(t) - \bar{V}_o(t)}{L} t \quad I_L(t) = \frac{-\bar{V}_o(t)}{L} (t - T_s)$$

Figura 5.19: Convertidor Buck operando en el límite entre CCM y DCM

De la figura anterior, se observa que el promedio de la corriente a través de la inductancia L es igual a la corriente de carga. De esta forma, se tiene:

$$\bar{I}_L(t) = \frac{T_s I_{L_p}}{2T_s} = \frac{I_{L_p}}{2} = \frac{\bar{V}_o(t)}{R_o} = \bar{I}_o(t) \quad (5.41)$$

Se tiene además que $\Delta I_L = I_{L_p} - I_{L_v} = I_{L_p}$

Como criterio de diseño, para que el convertidor DC-DC opere en CCM, la corriente de carga mínima (asociada a la resistencia máxima), debe cumplir que:

$$\bar{I}_{o(min)}(t) > \frac{\Delta I_L}{2} \quad (5.42)$$

De la *Figura (5.19)* se deduce que:

$$I_{L_p} = \frac{\bar{V}_i(t) - \bar{V}_o(t)}{L} DT_s \quad (5.43)$$

Reemplazando la *Ecuación (5.33)* en la *Ecuación (5.43)*, y organizando se llega a:

$$I_{L_p} = \frac{\bar{V}_o(t)(1-D)}{f_s L} \quad (5.44)$$

Reemplazando la *Ecuación (5.44)* en la *Ecuación (5.41)*, y organizando se tiene:

$$L = \frac{(1-D)R_o}{2f_s}$$

De dónde a partir de la Ecuación anterior, se calcula la inductancia crítica, cómo:

$$L_{(critica)} = \frac{(1-D_{min})R_{o(max)}}{2f_s} \quad (5.45)$$

La inductancia utilizada en el circuito debe ser mayor al valor anterior, para que el convertidor opere en CCM.

La tensión de salida $V_o(t)$ posee un rizado $\Delta V_{o(pp)}$, debido al continuo proceso de carga y descarga que sufre el condensador C . A través de este capacitor circula el rizado de la corriente de la bobina ΔI_L . Por medio de la integración de la corriente que circula a través de el, se llega a:

$$C_{(min)} = \frac{\bar{V}_o(t)(1-D_{min})}{8f_s^2 L \Delta V_{o(pp)}} \quad (5.46)$$

El capacitor utilizado en el circuito debe ser mayor al valor anterior para regular la tensión de carga en el intervalo escogido.

5.2.6. Selección Dispositivos de Potencia

El Convertidor Buck requiere el uso de dos dispositivos de potencia, uno de conmutación forzada (sw_1) y otro no forzado (sw_2). Para el primero, se usan transistores de potencia, de dónde es posible seleccionar transistores de efecto de campo (FET), transistores de unión bipolar (BJT) o los transistores bipolares de compuerta aislada (IGBT). Para el segundo, en este tipo de aplicaciones es común el uso de diodos de alta velocidad.

Los criterios de selección fundamentales para los dispositivos de potencia, son los descritos a continuación:

- La máxima tensión de bloqueo entre sus terminales de conducción debe ser mayor a la que se presente en el circuito.

- La corriente de conducción continua que soporte el dispositivo debe ser mayor a la que se presente en el circuito.
- El dispositivo debe operar satisfactoriamente a la frecuencia de conmutación establecida.

Para el Convertidor Buck, el transistor de potencia debe cumplir con los siguientes criterios:

$$V_{sw_1(max)} \geq \bar{V}_{i(max)}(t) + V_f \quad (5.47)$$

$$I_{sw_1(max)} \geq \bar{I}_{o(max)}(t) + \frac{\Delta I_L}{2} \quad (5.48)$$

Por su parte el diodo debe cumplir:

$$V_{sw_2(max)} \geq \bar{V}_{i(max)}(t) - V_{sat} \quad (5.49)$$

$$I_{sw_2(max)} \geq \bar{I}_{o(max)}(t) (1 - D_{min}) \quad (5.50)$$

5.2.7. Modelamiento en el Espacio de Estados

En su tesis doctoral [16] Slodoban Cuk extendió los métodos de *modelamiento en espacio de estados*² y *circuit averaging*, dando lugar a un nuevo método llamado *State Space Averaging*. La aproximación tradicional que trata a los convertidores conmutados en el espacio de estados, brinda una forma unificada de manejarlos, pero requiere una gran cantidad de cálculo numérico. La aproximación de circuit averaging, se basa en la manipulación circuital, es capaz de proveer una interpretación física de la operación del convertidor, y permite el uso de la amplia gama de herramientas de análisis y diseño de sistemas lineales, el inconveniente es la falta de unicidad en el manejo de los convertidores; de hecho, el hallar la función de transferencia de algunos convertidores (por ejemplo, el Sepic), requiere de técnicas avanzadas de análisis, como el teorema de los extraelementos [12] y de una cantidad de trabajo exagerada por parte del analista.

La técnica presentada por Cuk, se basa en una aproximación sobre las matrices de transición del sistema no lineal. Para aclarar lo anterior, recuérdese que el convertidor conmutado en cuestión (Buck) tiene dos posibles modos de operación³, lo cual lo convierte en un sistema no lineal (su matriz de estado cambia en el tiempo), sin embargo, durante cada uno de sus estados, la operación del sistema puede ser descrita mediante una ecuación diferencial lineal, por tanto, habrían dos ecuaciones de estado a las que se les podría encontrar su respuesta homogénea; es sobre estas respuestas homogéneas que Cuk realiza la aproximación, dando así lugar a un modelo lineal promediado, manipulable a través del álgebra de matrices, y con la disposición de todas las herramientas de análisis y diseño que existen para sistemas lineales.

La validez de la aproximación desarrollada por Cuk, es inversamente proporcional a la magnitud del rizado de conmutación exhibido en cada una de las variables de estado del convertidor.

Tal y cómo lo expresa Cuk en su disertación doctoral, la utilización de su aproximación resulta en una ecuación diferencial lineal que es continua y diferenciable durante todo el período de conmutación T_s . En caso de no utilizar la aproximación de Cuk, la respuesta temporal del sistema correspondería a una función continua por trazos no diferenciable. Esta respuesta por trazos, estaría determinada por los sistemas de ecuaciones diferenciales mostrados a continuación:

$$\dot{x}(t) = A_1 x(t) + B_1 u(t) \quad 0 \leq t < t_{on}$$

²Se hace referencia al tratamiento de los convertidores conmutados como sistemas no lineales a través de ecuaciones de estado, no confundir con average state space modelling que es la aproximación utilizada en este trabajo.

³Obsérvese que esta definición de estado no corresponde a un punto sobre el espacio de estados, en realidad corresponde a una de las dos posibles configuraciones que puede tener la etapa de potencia del convertidor en función del switch controlado.

$$y(t) = C_1 x(t) + D_1 u(t) \quad 0 \leq t < t_{on}$$

$$\dot{x}(t) = A_2 x(t) + B_2 u(t) \quad t_{on} \leq t < t_{off}$$

$$y(t) = C_2 x(t) + D_2 u(t) \quad t_{on} \leq t < t_{off}$$

El sistema continuo encontrado utilizando la aproximación de Cuk, es de la forma:

$$\dot{x}(t) = Ax(t) + Bu(t) \quad 0 \leq t < T_s \quad (5.51)$$

$$y(t) = Cx(t) + Du(t) \quad 0 \leq t < T_s \quad (5.52)$$

Dónde:

$$A = d(t) A_1 + d'(t) A_2 \quad B = d(t) B_1 + d'(t) B_2 \quad C = d(t) C_1 + d'(t) C_2 \quad D = d(t) D_1 + d'(t) D_2 \quad (5.53)$$

El término $d(t)$ representa el ciclo de trabajo, mientras que el término $d'(t)$ representa su complemento $(1-d(t))$.

Al reemplazar la Ecuación (5.53), en las Ecuaciones (5.51) y (5.52), la ecuación resultante es no lineal, se hace entonces necesario otro paso llamado perturbación, y posteriormente la linealización, para finalmente obtener el modelo lineal requerido.

La perturbación consiste en reemplazar cada una de las variables de las ecuaciones con la suma de un valor DC y una variable incremental, así:

$$d(t) = D + \hat{d} \quad x(t) = X + \hat{x} \quad u(t) = U + \hat{u} \quad y(t) = Y + \hat{y} \quad (5.54)$$

Reemplazando las Ecuaciones (5.53) y (5.54) en las Ecuaciones (5.51) y (5.52) y eliminando los términos no lineales ocasionados por el producto de variables incrementales, se obtiene:

$$\dot{\hat{x}}(t) = (DA_1 + (1-D)A_2)\hat{x} + (DB_1 + (1-D)B_2)\hat{u} + ((A_1 - A_2)X + (B_1 - B_2)U)\hat{d} \quad (5.55)$$

$$\hat{y}(t) = (DC_1 + (1-D)C_2)\hat{x} + (DD_1 + (1-D)D_2)\hat{u}$$

El diagrama de bloques correspondiente al sistema de ecuaciones anterior se muestra a continuación:

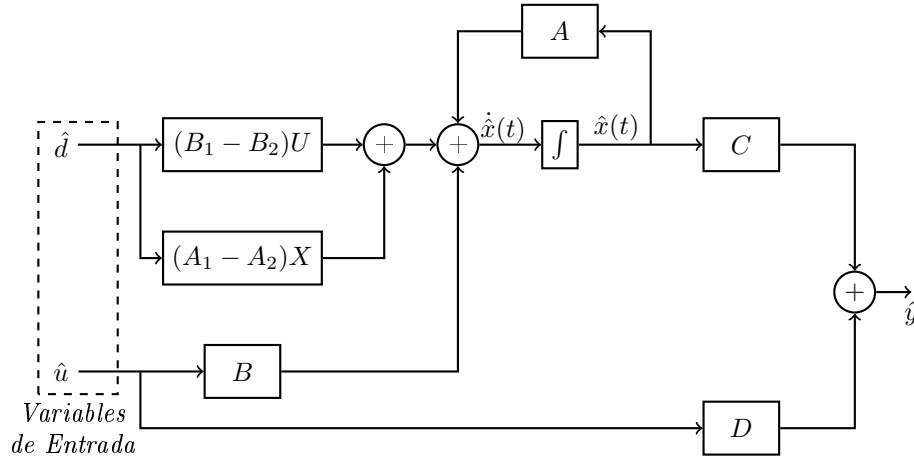


Figura 5.20: Diagrama de Bloques para el convertidor Buck

Una vez obtenida la Ecuación (5.55), resulta conveniente valerse de la naturaleza lineal del modelo obtenido y utilizar el principio de superposición para analizar el efecto de cada una de las variables de entrada (\hat{d}, \hat{u}) , en las variables de estado (\hat{x}) y la salida del sistema (\hat{y}) .

Además de las condiciones anteriormente mencionadas, hace falta añadir el hecho de que si \hat{d} y \hat{u} dejan de cumplir con las condiciones: $\frac{\hat{d}}{D} \ll 1$ y $\frac{\hat{u}}{U} \ll 1$, el modelo obtenido ya no es válido, debido a que los términos no lineales del sistema tomarían valores apreciables, y la respuesta obtenida mediante la Ecuación (5.55) ya no correspondería a la realidad.

Para aplicar la técnica de *State Space Averaging* a un convertidor Buck, se escoge la corriente a través del inductor L y el voltaje en las terminales de C como variables de estado; en este caso, se denota a la corriente a través de L como x_1 , y la tensión en las terminales de C como x_2 .

Organizando matricialmente las ecuaciones del circuito equivalente durante t_{on} descritas en la Subsección 5.2.1, se obtiene:

$$\begin{aligned} \begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} &= \begin{bmatrix} -\frac{1}{L} \left(\frac{R_o}{R_o + R_C} \right) \left(R_{on} + R_L + R_C + \frac{R_{on}R_C}{R_o} + \frac{R_LR_C}{R_o} \right) & -\frac{R_o}{(R_o + R_C)L} \\ \frac{1}{C} \left(\frac{R_o}{R_o + R_C} \right) & \frac{-1}{C(R_o + R_C)} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} \\ &+ \begin{bmatrix} \frac{1}{L} & \frac{R_C R_o}{L(R_o + R_C)} & 0 \\ 0 & -\frac{R_o}{C(R_o + R_C)} & 0 \end{bmatrix} \begin{bmatrix} V_i \\ I_s \\ V_f \end{bmatrix} \\ V_o &= \begin{bmatrix} \frac{R_C R_o}{R_o + R_C} & \frac{R_o}{R_o + R_C} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} 0 & -\frac{R_C R_o}{R_o + R_C} & 0 \end{bmatrix} \begin{bmatrix} V_i \\ I_s \\ V_f \end{bmatrix} \end{aligned}$$

Aplicando el mismo procedimiento anterior para el estado OFF descrito en la Subsección 5.2.2, se tiene:

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \begin{bmatrix} -\frac{1}{L} \left(\frac{R_o}{R_o + R_C} \right) \left(R_L + R_C + \frac{R_LR_C}{R_o} \right) & -\frac{R_o}{(R_o + R_C)L} \\ \frac{1}{C} \left(\frac{R_o}{R_o + R_C} \right) & \frac{-1}{C(R_o + R_C)} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix}$$

$$+ \begin{bmatrix} 0 & \frac{R_C R_o}{L(R_o + R_C)} & \frac{-1}{L} \\ 0 & -\frac{R_o}{C(R_o + R_C)} & 0 \end{bmatrix} \begin{bmatrix} V_i \\ I_s \\ V_f \end{bmatrix}$$

$$V_o = \begin{bmatrix} \frac{R_C R_o}{R_o + R_C} & \frac{R_o}{R_o + R_C} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} 0 & -\frac{R_C R_o}{R_p + R_C} & 0 \end{bmatrix} \begin{bmatrix} V_i \\ I_s \\ V_f \end{bmatrix}$$

Finalmente:

$$A_1 = \begin{bmatrix} -\frac{1}{L} \left(\frac{R_o}{R_o + R_C} \right) \left(R_{on} + R_L + R_C + \frac{R_{on} R_C}{R_o} + \frac{R_L R_C}{R_o} \right) & -\frac{R_o}{(R_o + R_C)L} \\ \frac{1}{C} \left(\frac{R_o}{R_o + R_C} \right) & \frac{-1}{C(R_o + R_C)} \end{bmatrix}$$

$$A_2 = \begin{bmatrix} -\frac{1}{L} \left(\frac{R_o}{R_o + R_C} \right) \left(R_L + R_C + \frac{R_L R_C}{R_o} \right) & -\frac{R_o}{(R_o + R_C)L} \\ \frac{1}{C} \left(\frac{R_o}{R_o + R_C} \right) & \frac{-1}{C(R_o + R_C)} \end{bmatrix}$$

$$B_1 = \begin{bmatrix} \frac{1}{L} & \frac{R_C R_o}{L(R_o + R_C)} & 0 \\ 0 & -\frac{R_o}{C(R_o + R_C)} & 0 \end{bmatrix}, B_2 = \begin{bmatrix} 0 & \frac{R_C R_o}{L(R_o + R_C)} & \frac{-1}{L} \\ 0 & -\frac{R_o}{C(R_o + R_C)} & 0 \end{bmatrix}$$

$$C_1 = C_2 = \begin{bmatrix} \frac{R_C R_o}{R_o + R_C} & \frac{R_o}{R_o + R_C} \end{bmatrix}$$

$$D_1 = D_2 = \begin{bmatrix} 0 & -\frac{R_C R_o}{R_o + R_C} & 0 \end{bmatrix}$$

Para hallar el sistema lineal equivalente, se utiliza la *Ecuación (5.55)*, correspondiente a la técnica de *State Space Averaging* desarrollada por Cuk:

$$\begin{aligned} \begin{bmatrix} \dot{\hat{x}}_1 \\ \dot{\hat{x}}_2 \end{bmatrix} &= \begin{bmatrix} -\frac{1}{L} \left(\frac{R_o}{R_o + R_C} \right) \left(DR_{on} + R_L + R_C + \frac{DR_{on} R_C}{R_o} + \frac{R_L R_C}{R_o} \right) & -\frac{R_o}{(R_o + R_C)L} \\ \frac{1}{C} \left(\frac{R_o}{R_o + R_C} \right) & \frac{-1}{C(R_o + R_C)} \end{bmatrix} \begin{bmatrix} \hat{x}_1 \\ \hat{x}_2 \end{bmatrix} \\ &+ \begin{bmatrix} \frac{D}{L} & \frac{R_C R_o}{L(R_o + R_C)} & \frac{-(1-D)}{L} \\ 0 & -\frac{R_o}{C(R_o + R_C)} & 0 \end{bmatrix} \begin{bmatrix} \hat{v}_i \\ \hat{i}_s \\ \hat{v}_f \end{bmatrix} + \begin{bmatrix} -\frac{1}{L} \left(\frac{R_o}{R_o + R_C} \right) \left(R_{on} + \frac{R_{on} R_C}{R_o} \right) & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} X_1 \\ X_2 \end{bmatrix} \hat{d} \\ &+ \begin{bmatrix} \frac{1}{L} & 0 & \frac{1}{L} \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} V_i \\ I_s \\ V_f \end{bmatrix} \hat{d} \end{aligned}$$

El sistema lineal de ecuaciones diferenciales hallado equivale a un circuito lineal como el que se muestra en la *Figura (5.21)*.

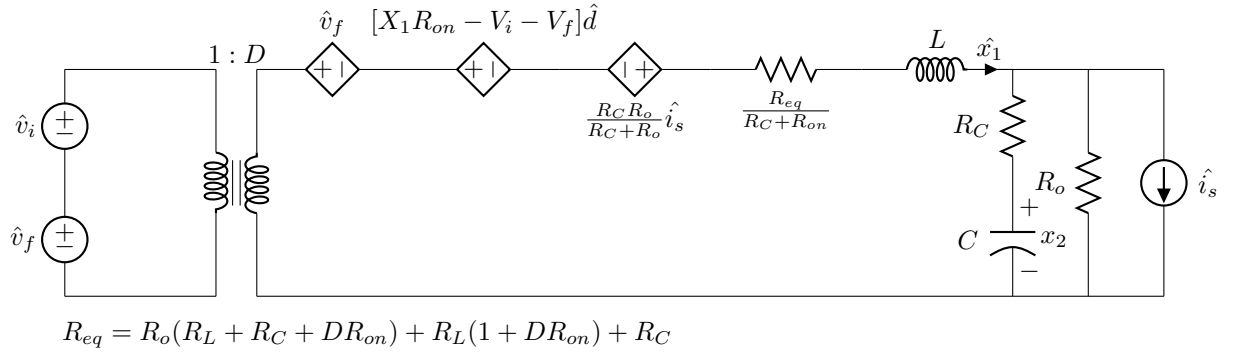


Figura 5.21: Circuito Equivalente en AC Convertidor Buck Real

Puede que el sistema de ecuaciones diferenciales encontrado sea de muy alta entropía, y sea difícil sacar conclusiones sobre el comportamiento o la dinámica del modelo en cuestión, por tanto resulta de vital importancia el gráfico correspondiente al circuito equivalente mostrado en la *Figura (5.21)*. De él se puede concluir fácilmente que la relación entre las variables de entrada y la tensión de salida siempre va a estar marcada por la dinámica de la red de segundo orden formada por L y C . Esta red de segundo orden exhibe una potencial inestabilidad al hacer parte de un sistema realimentado con un control proporcional, la razón para esto es que a partir de la frecuencia de resonancia (aproximadamente), el desfase entre las tensiones de entrada y salida es de aproximadamente 180 grados, los cuales, sumados a los 180 grados de desfase introducidos por el lazo de realimentación, equivalen a un sistema con realimentación positiva para ciertos armónicos de alta frecuencia.

Por las anteriores razones se hace necesario introducir la teoría de un sistema de compensación para lograr que el convertidor buck que se desea diseñar funcione como se espera, esta teoría será presentada en la Subsección 5.2.8.

Para aclarar un poco más la idea presentada sobre el comportamiento de la red LC a la salida del circuito equivalente de la *Figura (5.21)*, obsérvese el polinomio característico del sistema ideal, encontrado utilizando la siguiente ecuación:

$$|sI - A| = s^2LC + s\frac{L}{R_o} + 1$$

Los polos están dados por:

$$\lambda_{1,2} = \frac{-\frac{L}{R_o} \pm \sqrt{\left(\frac{L}{R_o}\right)^2 - 4LC}}{2LC}$$

Nótese que los polos del sistema están en el hemisferio izquierdo del plano complejo, lo cual asegura la convergencia de la respuesta forzada del sistema, aún así, con seguridad se presentarán oscilaciones debido a lo ya antes mencionado sobre la red LC .

Para el sistema lineal en cuestión, el polinomio de los ceros, se encuentra utilizando la siguiente ecuación:

$$C^T \text{Adj}(sI - A) B = 1 \quad (5.56)$$

Al utilizar la Ecuación (5.56) utilizando las matrices de estado del modelo sin considerar las pérdidas, se encontrará que el sistema no tiene ceros, por el contrario, al utilizarla sobre el sistema considerando las pérdidas, se observará que aparece un cero debido a la presencia de R_C ; lo anterior tiene sentido debido a que al no considerar las pérdidas, al aumentar la frecuencia, el capacitor disminuye su impedancia mientras que el inductor lo aumenta, dando esto lugar a un desfase definitivo de 180 grados, por otro lado, al considerar las pérdidas, la impedancia mínima de la rama a la que pertenece C estará determinada por la resistencia interna del mismo, lo cual, finalmente disminuye el desfase a 90 grados. Las anteriores ideas se harán evidentes cuando llegue el momento del análisis del convertidor previo al diseño del compensador.

5.2.8. Amplificador Tipo III

Anteriormente se introdujo al factor k como herramienta para el diseño de compensadores en el dominio de la frecuencia, así que, haría falta convertir el modelo hallado en el espacio de estados a función de transferencia, realizar un gráfico de bode, y luego realizar el mismo proceso que se detalló con el convertidor Sepic anteriormente.

El circuito correspondiente se muestra en la Figura (5.22), y su respuesta en frecuencia en la Figura (5.23).

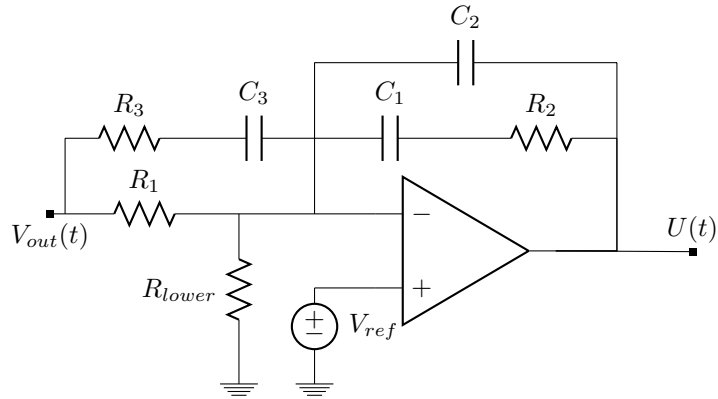


Figura 5.22: Circuito Amplificador Tipo III

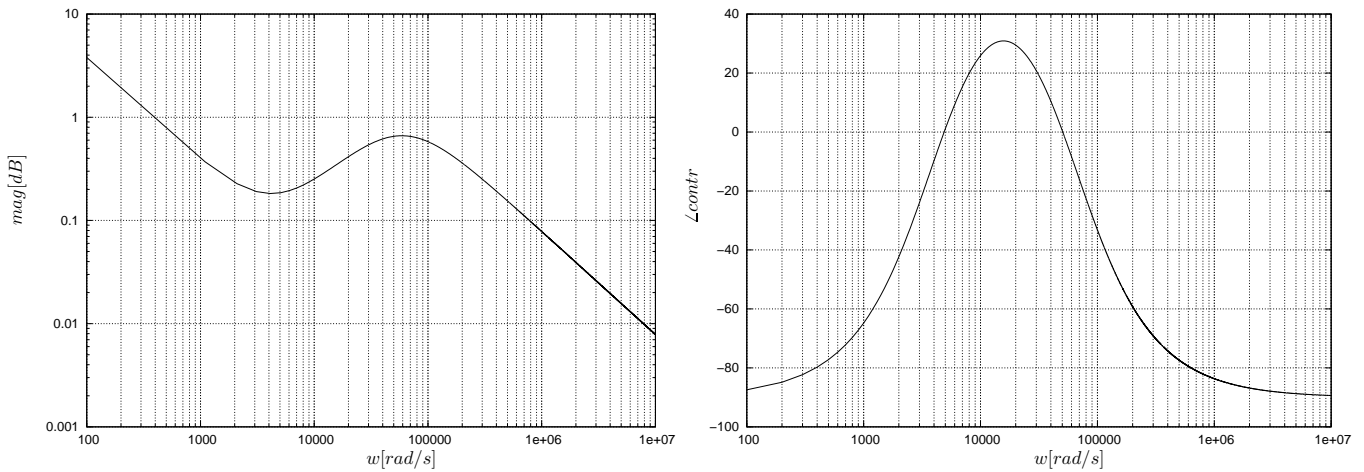


Figura 5.23: Respuesta en Frecuencia $G_C(s)$ Amplificador Tipo III

Para el cálculo del valor de cada componente del circuito de la *Figura (5.22)* se utilizan las siguientes ecuaciones:

$$C_2 = \frac{1}{2\pi f_c G R_1} \quad C_1 = C_2 (k - 1) \quad R_2 = \frac{\sqrt{k}}{2\pi f_c C_1}$$

$$R_3 = \frac{R_1}{k - 1} \quad C_3 = \frac{1}{2\pi f_c \sqrt{k} R_3} \quad (5.57)$$

$$\alpha = \frac{R_{lower}}{R_1 + R_{lower}} \quad \therefore \quad \alpha = \frac{V_{ref}}{V_{out}} \quad (5.58)$$

Las constantes k y G están directamente relacionadas con las especificaciones concernientes a la respuesta en frecuencia esperada del sistema compensado. Una vez estipulada la frecuencia de corte deseada, se entra al gráfico de Bode de la planta y se lee el valor de la ganancia del sistema, el valor obtenido se ingresa en la *Ecuación (5.19)* para obtener el valor de G .

$$G = 10^{\frac{G(f_c)}{20}}$$

Nuevamente, con el valor de la frecuencia de corte estipulada se entra al gráfico de bode, pero esta vez se determina el aumento en fase requerido. Valores típicos de margen de fase que ofrecen una respuesta transitoria adecuada oscilan entre los 45 y 75 grados. En el caso particular de este tipo de compensador, el aumento en fase requerido (*Boost*) se calcula mediante la *Ecuación (5.20)*:

$$Boost = Margen de fase - Fase actual en $f_c - 90$$$

Una vez obtenido el valor de *Boost*, se calcula k utilizando la *Ecuación (5.59)*.

$$k = \left[\tan \left(\frac{boost}{4} + 45 \right) \right]^2 \quad (5.59)$$

La función de transferencia del amplificador tipo III es la siguiente:

$$G_C(s) = \frac{U(s)}{E(s)} = \frac{1 + sR_2C_1}{sR_1(C_1 + C_2) \left(1 + sR_2 \frac{C_1C_2}{C_1 + C_2} \right)} \frac{sC_3(R_1 + R_3) + 1}{(sR_3C_3 + 1)} \quad (5.60)$$

En la *Parte III* se ha presentado la información que se considera suficiente para comprender la dinámica del rectificador controlado y el convertidor Buck, por tanto del sistema general del Corrector de Armónicos. Además se presentaron las metodologías de control y las topologías seleccionadas para cada uno. En la *Parte IV* presentada a continuación se podrán encontrar todas las especificaciones de diseño determinadas y aplicadas a este trabajo.

Parte IV

Diseño del Corrector de Armónicos

Como en todo proceso de diseño, se inicia por establecer los objetivos del proyecto, posteriormente se estudian los posibles caminos que se pueden seguir para alcanzarlos, a este último paso usualmente se le llama análisis del estado del arte. De la lista de posibles caminos o estrategias encontradas, se debe hacer la elección de una teniendo como criterios las condiciones y limitaciones de las especificaciones de diseño, las herramientas disponibles y principalmente los objetivos del proyecto.

Anteriormente se mostraron los objetivos del proyecto, además del correspondiente estudio del estado del arte. También se hizo la selección de las topologías que serán utilizadas en la etapa de potencia del corrector de armónicos, se sigue entonces con el establecimiento de las premisas de diseño del prototipo propuesto. Luego del establecimiento de las premisas de diseño del prototipo, se continúa con el dimensionamiento de todos y cada uno de los elementos que conforman el sistema, el cual como se había explicado en el marco teórico está conformado por un rectificador controlado en cascada con un convertidor DC-DC.

Las premisas establecidas para el diseño del prototipo son:

Premisa	Valor
Rango de Voltaje de Entrada (V_{acRMS})	$85V_{RMS} - 177V_{RMS}$
Frecuencia de Línea	$60Hz$
Voltaje de Salida (V_o)	$48V - 0,020\%$
Potencia de Salida	$180W$
Eficiencia	90%
THD_i Máximo	15%
Factor de Potencia	>0.98

Cuadro 5.1: Premisas de diseño del sistema

La elección de la máxima distorsión armónica total de corriente (THD_i) se basa en la potencia nominal del prototipo ($180W$) y en la potencia promedio en un punto de conexión domiciliario o comercial (limitada por el transformador de distribución, usualmente $75kVA$), de esta forma se establece categorizar al prototipo en el ítem correspondiente a $100 \leq \frac{I_{SC}}{I_L} < 1000$ descrito en el Cuadro (3.1).

En los próximos capítulos se detalla el dimensionamiento de todas las etapas y elementos del sistema.

Capítulo 6

Diseño del rectificador controlado topología Sepic

El diseño del rectificador controlado se divide en: dimensionamiento de la etapa de potencia, y dimensionamiento de la etapa de control.

El dimensionamiento de la etapa de potencia corresponde a la “traducción” de las especificaciones generales de diseño, a las especificaciones de cada elemento en función de la dinámica de la topología escogida.

6.1. Dimensionamiento de la etapa de potencia

La etapa de potencia está conformada por dispositivos de potencia y elementos reactivos; la selección de los dispositivos de potencia se hace a partir de los resultados encontrados para los conmutadores ideales utilizados durante el estudio teórico, y la selección de los elementos reactivos se hace a partir de las ecuaciones derivadas en en Apartado 5.1.5.4.

Uno de los parámetros principales en el funcionamiento del rectificador controlado con la estrategia de control propuesta, es el rizado en la corriente de entrada ($\Delta I_{L_{in}}$); visto que existe una relación directa entre el valor de $\Delta I_{L_{in}}$, L_{in} y el THD_i , se ha realizado un gráfico paramétrico para ligar la selección de $\Delta I_{L_{in}}$ con el máximo nivel de THD_i permitido en [9].

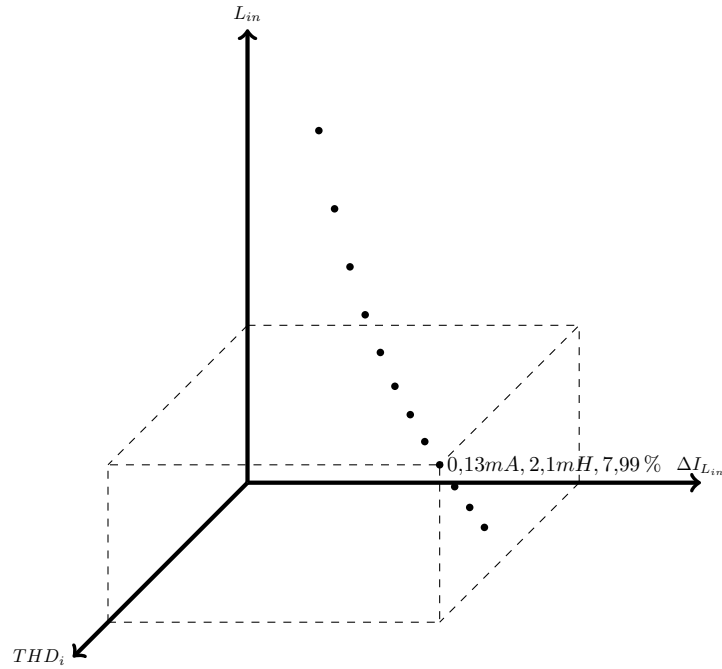


Figura 6.1: Curva paramétrica de $\Delta I_{L_{in}} - L_{in} - THD_i$

Como se aprecia en la *Figura (6.1)* para una frecuencia de conmutación máxima determinada, en la medida que se deseen factores de distorsión bajos se requieren valores de inductancias elevados, y a su vez márgenes de histéresis pequeños; son bien conocidas las limitantes respecto a estos parámetros, respecto al del inductor, es complicado encontrar en el mercado valores elevados de inductancias (en el orden de las unidades de mH) para corrientes significativas (mayores a $2A$), a su vez en la medida que el margen de histéresis ($\Delta I_{L_{in}}$) sea menor, los tiempos de encendido y apagado del dispositivo de potencia controlado serán inferiores, aumentando la complejidad tanto en la selección de este dispositivo como en el diseño del controlador. De esta manera es preciso establecer un compromiso respecto al valor de la distorsión armónica máxima permisible, al valor del margen de histéresis y al del inductor de entrada.

A partir de la *Figura (6.1)* se establece $\Delta I_{L_{in}} = 0,13A$, el cual da lugar a la posible elección de L_{in} dentro de un valor comercial, manteniendo el cumplimiento de las regulaciones existentes de calidad energética en cuanto a lo que THD_i respecta (Obsérvese el *Cuadro (5.1)*), al presentar un factor del 8%.

La selección de la frecuencia máxima de conmutación ($f_{s_{max}}$) se hace teniendo en cuenta un compromiso entre las pérdidas por conmutación¹ y el tamaño de los elementos reactivos utilizados para el diseño. Se ha establecido una frecuencia de conmutación máxima de $f_{s_{max}} = 100kHz$. A continuación se presenta un *Cuadro* con las premisas de diseño establecidas para el rectificador controlado topología Sepic:

¹Recuérdese que existe una relación aproximadamente lineal entre las pérdidas por conmutación y la frecuencia de conmutación

Premisa	Valor
Rango de Voltaje de Entrada (V_{acRMS})	$85V_{RMS} - 177V_{RMS}$
Voltaje de Salida ($V_{out(RMS)}$)	70 V
Potencia de Salida (P_{out})	189,5W
Eficiencia	95 %

Cuadro 6.1: Premisas de diseño del rectificador controlado topología Sepic

6.1.1. Dimensionamiento de los elementos reactivos

Una vez estipulados los valores de $\Delta I_{L_{in}} = 0,13A$ y $f_{s_{max}} = 100kHz$, se procede con el cálculo de los valores de L_{in} , C_t , L_{out} , y C_{out} .

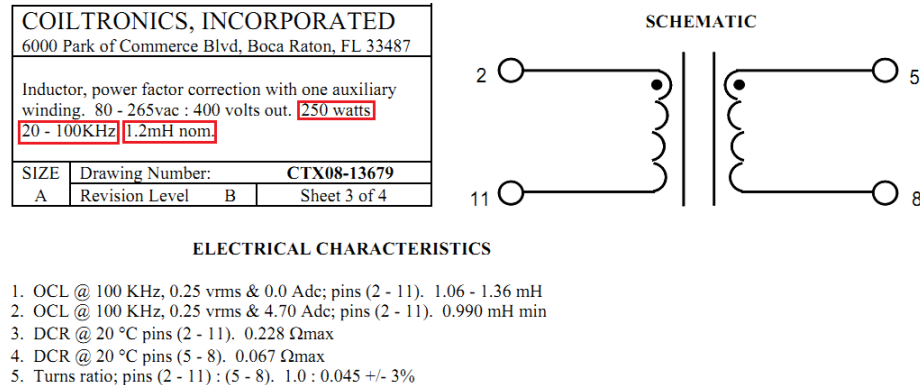
El cálculo de L_{in} se hace utilizando la Ecuación (5.7), así:

$$L_{in} = \frac{177\sqrt{2}V \times 70V}{2 \times 0,13A \times 100kHz \times (177\sqrt{2}V + 70V)} = 2,1mH$$

La corriente máxima a través de L_{in} corresponde a la corriente máxima a la entrada del sistema, a partir de los datos del Cuadro (6.1) se obtiene:

$$I_{L_{in}(min)} = \frac{\sqrt{2} \times 189,5 W}{0,95 \times 85V} + 0,13A = 3,44 A$$

A partir de los valores hallados para L_{in} y $I_{L_{in}(min)}$ se han seleccionado dos inductores especialmente diseñados para correctores activos de armónicos de la empresa *Coiltronics*. Las características del inductor se presentan en la Figura (6.2):


 Figura 6.2: Hoja de Datos Inductor rectificador controlado (L_{in})

Se seleccionan dos inductores CTX08-13679, para colocarlos en serie, obteniéndose una inductancia equivalente de $2,4mH$. Nótese que estos inductores poseen un devanado secundario, el cual como posteriormente se detallará será usado para el sensado de la corriente.

Recalculando el valor de $\Delta I_{L_{in}}$ para $L_{in} = 2,4mH$ se obtiene $\Delta I_{L_{in}} = 0,11A$.

El cálculo de C_t se realiza a partir de la Ecuación (5.24):

$$C_t = \frac{0,11A \times 2,4mH \times 3,44A}{70V \times 20V} = 590nF$$

El valor de ΔV_{C_t} ha sido escogido de forma tal que C_t sea lo suficientemente pequeño, como para evitar que el banco resonante que forma junto con L_{out} tenga un efecto perceptible. En caso de que

C_t tuviese un valor demasiado grande, se presentarían oscilaciones de alta frecuencia sobre la onda de tensión entre las terminales de C_t , dado este caso, haría falta utilizar una red de Clamping para limitar este efecto. Debido a que como se expuso en el aparte teórico, la única condición realmente imperante sobre C_t es que su valor debe ser tal que la tensión promedio entre sus terminales sea igual a la tensión de entrada, se estipula un valor de $\Delta V_{C_t} = 20V$. Por esta razón, el valor de la tensión que debe soportar el capacitor C_t debe ser mínimo $V_{in(max)} + \Delta V_{C_t}$, es decir $177V \times \sqrt{2} + 20V = 270,32V$.

Con base en los requerimientos anteriores, se selecciona un condensador cerámico de $0,68 \mu F$ con un voltaje nominal de $500 V$, de referencia SK057C684KAR fabricado por la compañía *AVX Corporation*. Este tipo de capacitor es diseñado especialmente para el filtrado en fuentes conmutadas, caracterizándose por su baja ESR y su capacidad para el manejo de altas corrientes.

Recalculando el valor de ΔV_{C_t} con el valor de C_t comercial seleccionado, se obtiene $\Delta V_{C_t} = 19,07V$. Para el cálculo de L_{out} se aplica la *Ecuación (5.25)*:

$$L_{out} = \frac{0,11A \times 2,4mH}{0,22A} = 1,2mH$$

El término $\Delta I_{L_{out}}$ se escoge de tal manera que se obtenga un valor de L_{out} comercial, y teniendo en cuenta que este parámetro no es significativo en el funcionamiento general del sistema y en el cumplimiento de los objetivos trazados, el valor de $\Delta I_{L_{out}} = 0,22A$ permite usar una inductancia de $1,2mH$, de forma que se selecciona el mismo tipo de inductor que L_{in} . Como se explicó en la Sección 5.1 la corriente promedio a través de L_{out} ($\bar{I}_{L_{out}}(t)$) es igual a la corriente promedio de salida ($\bar{I}_{out}(t)$), por tanto:

$$\bar{I}_{L_{out}}(t) = \frac{189,5W}{70V} = 2,71A$$

Con lo que se valida el uso del inductor CTX08-13679.

Para el dimensionamiento de C_{out} se aplica la *Ecuación (5.26)*, teniendo en cuenta que $V_{C_{out}(RMS)} = V_{out(RMS)} = 70V$, $V_{C_{out}(min)} = 50V$, $P_{out} = 189,5W$, $\Delta t = 8,33ms$, se tiene:

$$C_{out} = \frac{2 \times 189,5W * 8,33ms}{(70V)^2 - (50V)^2} = 1,316mF$$

Este valor de capacitancia permite que el sistema al quedar desenergizado opere medio ciclo de línea ($8,333ms$), alcanzando un voltaje de salida mínimo de $50V$.

La tensión mínima que debe soportar el capacitor entre sus terminales es la tensión de salida, es decir $70V$.

Según las condiciones anteriores, se elige un par de capacitores de aluminio (para conectarse en paralelo) de referencia EEUFC2A681 fabricado por la compañía *Panasonic*. Las características del condensador se presentan en la *Figura (6.3)*:

Item	Performance Characteristics
SMD	Not SMD
Body shape	Radial lead type
Polarity type	Polar
Rated voltage	100 (V)
Capacitance	680 (micro F)
Tolerance on capacitance	-20 to 20 (%)
Tangent of loss angle(max.)	0.07
Leakage current(max.)	680 (micro A)
Category temperature range	-55 to 105 (Cel)
Body diameter	18 (mm)
Body length	40 (mm)
Lead(terminal) pitch	7.5 (mm)
Rated ripple current-1(freq.)	100000 (Hz)
Rated ripple current-1	2300 (mA)
Rated ripple current-1(unit)	mA r.m.s.(root mean square)
Impedance-1(frequency)	100000 (Hz)
Impedance-1(max. value)	36 (m Ohm)
E.S.R.-2(freq.)	-
E.S.R.-2(max. value)	-
Endurance	5000 (h)
Forming & packaging feature	Bulk(no lead wire or terminal forming),bag packing
Appearance	Sheathings other than a P.V.C. sleeve(metal case)
Quantity(min. packaging unit)	50 (PCS.)

Figura 6.3: Hoja de datos condensador de salida rectificador controlado (C_{out})

Como se observa en la anterior figura, el capacitor EEUFC2A681 tiene una capacitancia de $0,68\mu F$, con tensión de operación de $100V$ y una baja ESR ($36m\Omega$). Al conectar dos capacitores en paralelo, se obtiene una capacitancia equivalente de $1,36mF$ y una ESR equivalente inferior a $36m\Omega$.

A partir del valor de C_{out} escogido se calcula el rizado pico de la tensión $V_{out}(t)$, mediante la Ecuación (4.23), así:

$$\Delta V_{C_{out}} = \frac{189,5W}{4 \times \pi \times 60Hz \times 1,36mF \times 70V} = 2,64V$$

A modo de resumen, se plasma en el siguiente Cuadro los valores comerciales de los 4 elementos reactivos a utilizar en el rectificador controlado:

Elemento	Valor
$L_{in}(mH)$	2,4
$L_{out}(mH)$	1,2
$C_t(\mu F)$	0,68
$C_{out}(mF)$	1,36

Cuadro 6.2: Resumen de valores comerciales elementos reactivos rectificador controlado

6.1.2. Dimensionamiento de los dispositivos de potencia

Como se observa en la Figura (4.10) y en la Figura (5.1), el rectificador controlado posee los siguientes dispositivos de potencia: Un puente de diodos encargado de la rectificación de la tensión de línea, un dispositivo controlado (sw_1) y uno no controlado (sw_2), los cuales conmutan de forma excluyente para permitir el funcionamiento del convertidor Sepic. Los criterios para la selección y dimensionamiento de estos dispositivos se enunciaron en la Subsección 5.2.6.

Con base en las premisas de diseño mostradas en el Cuadro (5.1) la corriente máxima de entrada se calcula así:

$$I_{in(max)} = \frac{180W \times \sqrt{2}}{0,9 \times 85V} + 0,13A = 3,44A$$

El puente de diodos debe ser capaz de conducir al menos la corriente calculada anteriormente, a su vez, debe ser capaz de bloquear un voltaje RMS de 177V y un voltaje pico de 250,31V. Con base en lo anterior, se selecciona un puente de diodos de referencia KBPC 1006 el cual como se aprecia en la Figura (6.4), es capaz de conducir 10A y bloquear 420V_{RMS} y 600V_p.



TECHNICAL SPECIFICATIONS OF SINGLE-PHASE SILICON BRIDGE RECTIFIER
 VOLTAGE RANGE - 50 to 1000 Volts CURRENT - 10 Amperes

	SYMBOL	KBPC 10005	KBPC 1001	KBPC 1002	KBPC 1004	KBPC 1006	KBPC 1008	KBPC 1010	UNITS
Maximum Recurrent Peak Reverse Voltage	V _{RRM}	50	100	200	400	600	800	1000	Volts
Maximum RMS Voltage	V _{RMS}	35	70	140	280	420	560	700	Volts
Maximum DC Blocking Voltage	V _{DC}	50	100	200	400	600	800	1000	Volts
Maximum Average Forward Rectified Output Current at T _c = 50°C	I _O	10							Amps
Peak Forward Surge Current 8.3 ms single half sine-wave superimposed on rated load (JEDEC Method)	I _{FSM}	200							Amps
Maximum Forward Voltage Drop per element at 5.0A DC	V _F	1.1							Volts
Maximum DC Reverse Current at Rated	I _R	@T _A = 25°C						10	uAmps
DC Blocking Voltage per element		@T _c = 100°C						500	
I ² t Rating for Fusing (t<8.3ms)	I ² t	166							A ² Sec
Typical Junction Capacitance (Note1)	C _J	200							pF
Typical Thermal Resistance (Note 2)	R _{θJA}	21							°C/W
Operating Temperature Range	T _J	-55 to + 125							°C
Storage Temperature Range	T _{STG}	-55 to + 150							°C

NOTES : 1. Measured at 1 MHz and applied reverse voltage of 4.0 volts

Figura 6.4: Hoja de Datos Puente de Diodos

Como transistor sw_1 se selecciona un mosfet, el cual es un dispositivo de potencia diseñado especialmente para conmutar a altas frecuencias. Para su dimensionamiento, es necesario analizar las condiciones mostradas en la Figura (5.2) y en la Figura (5.3). Con base en la Figura (5.2) y lo explicado en ese apartado se observa que la corriente máxima que fluye a través de sw_1 es $I_{in(max)} + I_{out} = 3,44A + 4,24A = 7,7A$. Recuérdese que el convertidor Sepic alimenta a un convertidor Buck, de forma que la corriente de salida del primero, es la de entrada del segundo, por ello como será mostrado en la Subsección 7.1.2 $I_{out} = 4,24A$.

Con base en la Figura (5.3) se determina que la tensión que debe bloquear el dispositivo sw_1 es $V_{in(max)} = 250,31V$ (despreciando la caída de tensión a través de L_{in}).

A su vez como se indicó anteriormente, la frecuencia máxima de conmutación de este dispositivo se estableció en $f_{smax} = 100kHz$. A partir de las condiciones anteriores, se seleccionó un transistor tipo Mosfet de canal N de referencia FDA24N40F, su hoja de datos se aprecia en la Figura (6.5). En la hoja de datos del Mosfet seleccionado se aprecia que $V_{DSS} = 400V$ el cual es mayor a $V_{in(max)}$, a su vez $I_D = 13,8A$ valor superior a los 7,7A mínimos requeridos. Este dispositivo es capaz de conmutar a una frecuencia máxima de $f_{mosfet} = \frac{1}{2\pi(5t_r)} = \frac{1}{2\pi(5 \times 195ns)} = 163,235kHz$, el cual sobrepasa la frecuencia máxima de operación (100kHz).



FDA24N40F

N-Channel MOSFET, FRFET
400V, 23A, 0.19Ω

MOSFET Maximum Ratings $T_C = 25^\circ\text{C}$ unless otherwise noted*

Symbol	Parameter	Ratings	Units
V_{DS}	Drain to Source Voltage	400	V
V_{GS}	Gate to Source Voltage	± 30	V
I_D	Drain Current	-Continuous ($T_C = 25^\circ\text{C}$)	23
		-Continuous ($T_C = 100^\circ\text{C}$)	13.8
I_{DM}	Drain Current	- Pulsed (Note 1)	92
E_{AS}	Single Pulsed Avalanche Energy	(Note 2)	1190
I_{AR}	Avalanche Current	(Note 1)	23
E_{AR}	Repetitive Avalanche Energy	(Note 1)	23.5
dV/dt	Peak Diode Recovery dV/dt	(Note 3)	4.5
P_D	Power Dissipation	($T_C = 25^\circ\text{C}$)	235
		- Derate above 25°C	1.8
T_J, T_{STG}	Operating and Storage Temperature Range	-55 to +150	$^\circ\text{C}$
T_L	Maximum Lead Temperature for Soldering Purpose, 1/8" from Case for 5 Seconds	300	$^\circ\text{C}$

Thermal Characteristics

Symbol	Parameter	Min.	Max.	Units
$R_{\theta JC}$	Thermal Resistance, Junction to Case	-	0.53	$^\circ\text{C/W}$
$R_{\theta CS}$	Thermal Resistance, Case to Sink Typ.	0.24	-	
$R_{\theta JA}$	Thermal Resistance, Junction to Ambient	-	40	

Electrical Characteristics

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Units
--------	-----------	-----------------	------	------	------	-------

Off Characteristics

BV_{DS}	Drain to Source Breakdown Voltage	$I_D = 250\mu\text{A}, V_{GS} = 0\text{V}, T_J = 25^\circ\text{C}$	400	-	-	V
$\Delta BV_{DS} / \Delta T_J$	Breakdown Voltage Temperature Coefficient	$I_D = 250\mu\text{A}$, Referenced to 25°C	-	0.5	-	$\text{V}/^\circ\text{C}$
I_{DSS}	Zero Gate Voltage Drain Current	$V_{DS} = 400\text{V}, V_{GS} = 0\text{V}$ $V_{DS} = 320\text{V}, T_C = 125^\circ\text{C}$	-	-	10	μA
I_{GSS}	Gate to Body Leakage Current	$V_{GS} = \pm 30\text{V}, V_{DS} = 0\text{V}$	-	-	± 100	nA

On Characteristics

$V_{GS(th)}$	Gate Threshold Voltage	$V_{GS} = V_{DS}, I_D = 250\mu\text{A}$	3.0	-	5.0	V
$R_{DS(on)}$	Static Drain to Source On Resistance	$V_{GS} = 10\text{V}, I_D = 11.5\text{A}$	-	0.15	0.19	Ω
g_{FS}	Forward Transconductance	$V_{DS} = 20\text{V}, I_D = 11.5\text{A}$ (Note 4)	-	29	-	S

Dynamic Characteristics

C_{iss}	Input Capacitance	$V_{DS} = 25\text{V}, V_{GS} = 0\text{V}$ $f = 1\text{MHz}$	-	2280	3030	pF
C_{oss}	Output Capacitance		-	370	490	pF
C_{riss}	Reverse Transfer Capacitance		-	25	38	pF
$Q_{g(tot)}$	Total Gate Charge at 10V	$V_{DS} = 320\text{V}$ $I_D = 23\text{A}$ (Note 4, 5)	-	46	60	nC
Q_{gs}	Gate to Source Gate Charge		-	13	-	nC
Q_{gd}	Gate to Drain "Miller" Charge		-	18	-	nC

Switching Characteristics

$t_{d(on)}$	Turn-On Delay Time	$V_{DS} = 200\text{V}, I_D = 23\text{A}$ $R_G = 25\Omega$ (Note 4, 5)	-	40	90	ns
t_r	Turn-On Rise Time		-	92	195	ns
$t_{d(off)}$	Turn-Off Delay Time		-	120	250	ns
t_f	Turn-Off Fall Time		-	75	160	ns

Drain-Source Diode Characteristics

I_S	Maximum Continuous Drain to Source Diode Forward Current	-	-	23	A	
I_{SM}	Maximum Pulsed Drain to Source Diode Forward Current	-	-	92	A	
V_{SD}	Drain to Source Diode Forward Voltage	$V_{GS} = 0\text{V}, I_{SD} = 23\text{A}$	-	-	1.5	V
t_{rr}	Reverse Recovery Time	$V_{GS} = 0\text{V}, I_{SD} = 23\text{A}$	-	110	-	ns

Figura 6.5: Hoja de datos dispositivo de potencia controlado sw_1 rectificador controlado

Para asegurar que el Mosfet trabaje de forma satisfactoria, se ubica el punto de operación más exigente al cual será sometido y se verifica que este se encuentre dentro de la SOA del dispositivo. Esta curva relaciona la corriente de drenaje (I_D) y el voltaje drenaje-fuente (V_{DS}) correspondientes al tiempo de encendido del dispositivo.

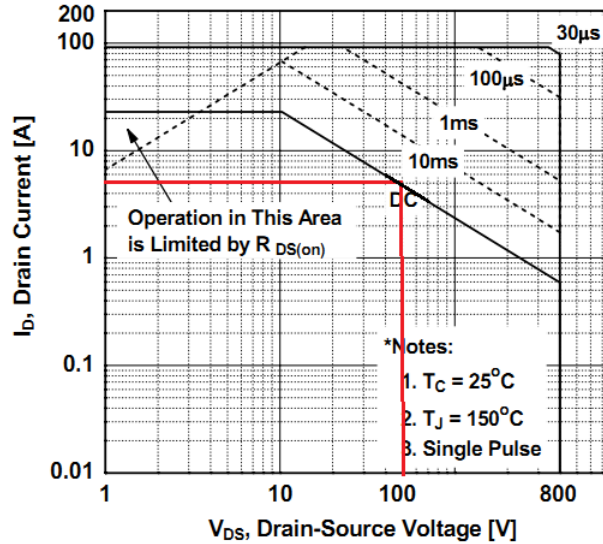


Figura 6.6: SOA dispositivo sw_1 rectificador controlado

Como se observa en la *Figura (6.6)* la condición más crítica corresponde a la conducción continua del dispositivo, este caso a través de la interpretación de la ecuación planteada en el Apartado 5.1.5.1 corresponde a $V_{in} = 85V_{RMS}$. En la *Figura (6.6)* se aprecia que para las condiciones establecidas el dispositivo operará dentro del SOA.

Para la activación del mosfet es necesario utilizar un driver, el cual recibe la señal de control y produce la salida hacia el dispositivo de potencia. El dimensionamiento de este dispositivo se realiza teniendo en cuenta los lineamientos recomendados en [17]. La corriente necesaria para activar el mosfet según [17] se calcula así: $I = \frac{Q_{g(tot)}}{t_{r-f(min)}} = \frac{60nC}{75ns} = 0,8A$. Con base en lo anterior, se selecciona un Driver de referencia TC4420, su hoja de datos se muestra en la *Figura (6.7)*.

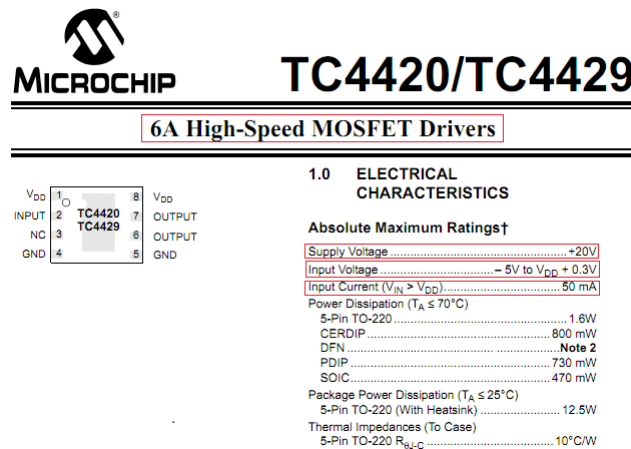


Figura 6.7: Hoja de datos driver rectificador controlado

Como se observa en la anterior figura el driver seleccionado proporciona una corriente en la compuerta del Mosfet de hasta 6A. El circuito propuesto para el disparo del Mosfet se muestra en la *Figura (6.8)*:

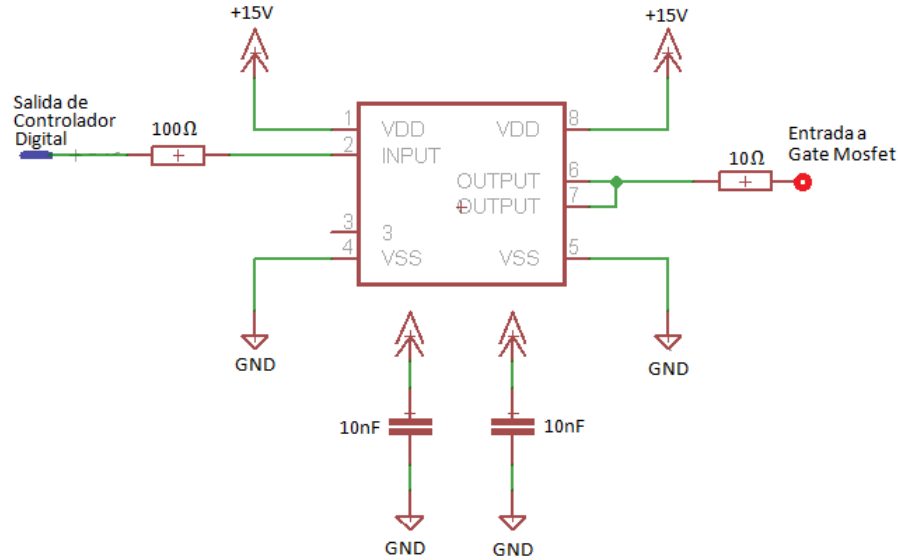


Figura 6.8: *Circuito propuesto para el disparo del Mosfet rectificador controlado*

En la figura anterior se observa que el driver se polariza con 15V, los capacitores de 10nF cumplen funciones de desacoplo. La resistencia de 100Ω limita la corriente de entrada a $\frac{3,3V}{100\Omega} = 33mA$ (el controlador digital produce una salida de 3,3V), y la resistencia de 10Ω limita la corriente de salida; estas resistencias se dimensionan a $\frac{1}{4}w$.

Para la selección del dispositivo de potencia sw_2 es necesario analizar las dos condiciones mostradas en las *Figura (5.2)* y en la *Figura (5.3)*. A partir de la *Figura (5.2)* se determina que la tensión máxima entre las terminales del diodo es de $V_{in(max)} + V_{out} = 250,31V + 70V = 320,31V$ y a través de la *Figura (5.3)* y lo explicado en ese apartado, se encuentra que la corriente máxima que fluye a través de sw_2 es $I_{in(max)} + I_{out} = 3,44A + 4,24A = 7,7A$. Con base en los requerimientos anteriores, se selecciona un diodo de referencia MUR1560, el cual posee las características mostradas en la *Figura (6.9)*.

En la *Figura (6.9)* se aprecia que el dispositivo seleccionado cumple con los requerimientos mínimos establecidos. Hay que sumarle la característica de que el MUR1560 está diseñado para conmutar a altas frecuencias, y es de uso común en fuentes conmutadas y aplicaciones de potencia.

**MUR1510, MUR1515,
MUR1520, MUR1540,
MUR1560, MURF1560**

Preferred Devices

**SWITCHMODE™
Power Rectifiers**



ON Semiconductor®

http://onsemi.com

**ULTRAFAST RECTIFIERS
15 AMPERES, 100–600 VOLTS**

MAXIMUM RATINGS

Rating	Symbol	MUR					Unit
		1510	1515	1520	1540	1560	
Peak Repetitive Reverse Voltage Working Peak Reverse Voltage DC Blocking Voltage	V_{RRM} V_{RWM} V_R	100	150	200	400	600	V
Average Rectified Forward Current (Rated V_R)	$I_{F(AV)}$	15 @ $T_C = 150^\circ\text{C}$			15 @ $T_C = 145^\circ\text{C}$		A
Peak Rectified Forward Current (Rated V_R , Square Wave, 20 kHz)	I_{FRM}	30 @ $T_C = 150^\circ\text{C}$			30 @ $T_C = 145^\circ\text{C}$		A
Nonrepetitive Peak Surge Current (Surge applied at rated load conditions halfwave, single phase, 60 Hz)	I_{FSM}	200			150		A
Operating Junction Temperature and Storage Temperature Range	T_J, T_{stg}	-65 to +175					$^\circ\text{C}$

THERMAL CHARACTERISTICS

Parameter	Symbol	Value	Unit
MUR1510 Series: Thermal Resistance Junction-to-Case Junction-to-Ambient	$R_{\theta JC}$ $R_{\theta JA}$	1.5 73	$^\circ\text{C/W}$
MURF1560: Thermal Resistance Junction-to-Case Junction-to-Ambient	$R_{\theta JC}$ $R_{\theta JA}$	4.25 75	$^\circ\text{C/W}$

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	1510	1515	1520	1540	1560	Unit
Maximum Instantaneous Forward Voltage (Note 1) ($I_F = 15\text{ A}$, $T_C = 150^\circ\text{C}$) ($I_F = 15\text{ A}$, $T_C = 25^\circ\text{C}$)	V_F		0.85 1.05		1.12 1.25	1.20 1.50	V
Maximum Instantaneous Reverse Current (Note 1) (Rated DC Voltage, $T_C = 150^\circ\text{C}$) (Rated DC Voltage, $T_C = 25^\circ\text{C}$)	I_R		500 10		500 10	1000 10	μA
Maximum Reverse Recovery Time ($I_F = 1.0\text{ A}$, $di/dt = 50\text{ A}/\mu\text{s}$)	t_{rr}		35			60	ns

Figura 6.9: Hoja de Datos Dispositivo de Potencia No Controlado sw_2 rectificador controlado

6.2. Diseño de la etapa de control

La utilización de un DSC para el control del sistema, implica la creación de un firmware que lleva un hardware asociado. Se iniciará con el diseño del hardware necesario para la operación del DSC.

6.2.1. Diseño del Hardware

El primer paso consiste en seleccionar el DSC apropiado para el funcionamiento del sistema, para este trabajo se ha seleccionado un DSC de la empresa MICROCHIP® de referencia dsPIC33FJ16GS502. Este microcontrolador posee las siguientes prestaciones:

- Capacidad de cálculo de 40 MIPS
- Tensión de alimentación entre 3.0V y 3.6V
- Multiplicador fractional/integer de 16x16
- 16KB de memoria de programa
- 2KB de memoria RAM
- 21 pines de entrada/salida
- 3 contadores de 16 bits
- Dos convertidores Análogo-Digital de 10 bits de alta velocidad
- 4 comparadores
- 4 convertidores Digital-Análogo de 10 bits a 640Ksps

En la *Figura (6.10)* se presenta el pinout del dispositivo:

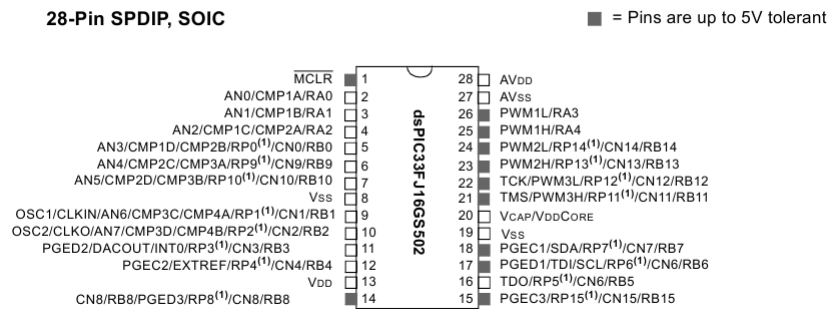


Figura 6.10: Pinout dsPIC33FJ16GS502

Una vez comprobado que el DSC cumple con los requerimientos de desempeño y periféricos establecidos para el diseño, se procede al dimensionamiento de la circuitería mínima para su funcionamiento.

El fabricante ofrece un esquema con las conexiones mínimas para la puesta en funcionamiento de esta familia de dispositivos, el cual se muestra en la *Figura (6.11)*.

Es obligatorio el uso de los capacitores cerámicos de desacoplo de $0,1\mu F$ con un rango de tensión entre 10V y 20V, estos previenen el funcionamiento errático ante variaciones de alta frecuencia en la alimentación. El capacitor de $10\mu F$ que está conectado a VCAP es necesario debido a que el DSC posee un regulador de tensión interno, el cual VCAP ayuda a estabilizar.

A la conexión del pin MCLR podría añadirse un pulsador, en caso de que se desee realizar el reset manual del DSC. Los pines VDD y VSS corresponden a la alimentación principal del dsPIC, en realidad la cantidad de estos pines depende del numero de pines del DSC. AVDD y AVSS corresponden a los pines de alimentación para los módulos o periféricos análogos del DSC.

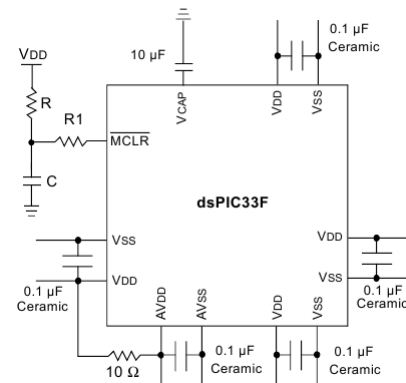


Figura 6.11: Conexión mínima dsPIC33

En este caso se utilizará un nivel de tensión de 3,3V para AVDD y VDD, mientras que AVSS y VSS estarán conectados a la tierra de la alimentación.

6.2.1.1. Circuitos de acondicionamiento de señal

El siguiente paso corresponde al diseño de los circuitos de acondicionamiento de señal, se requieren tres, uno para sensar la tensión de entrada ($V_{in}(t)$), uno para sensar la corriente de entrada ($I_{in}(t)$) y otro más para sensar la tensión de salida ($V_{out}(t)$). Se utiliza el circuito mostrado en la *Figura (6.12)* para sensar voltaje, este circuito es básicamente un divisor de tensión con un filtro pasa-bajo y dos diodos schottky de propósito general para proteger al pin del DSC contra sobretensiones o tensiones negativas, se utilizan en todos los casos diodos de referencia BAS40.

El cálculo del divisor de tensión se hace teniendo en cuenta la tensión máxima que se desea en el pin del DSC, para este trabajo se maneja un nivel máximo de tensión de 1,65V, por tanto:

$$\alpha = \frac{R_{D2}}{R_{D1} + R_{D2}} = \frac{1,65V}{V(t)_{max}} \quad (6.1)$$

El cálculo de la frecuencia de corte del filtro se realiza utilizando el equivalente de Thevenin del divisor de tensión, así:

$$f_{corte-3dB} = \frac{1}{2\pi (R_{D1} || R_{D2}) C_f} \quad (6.2)$$

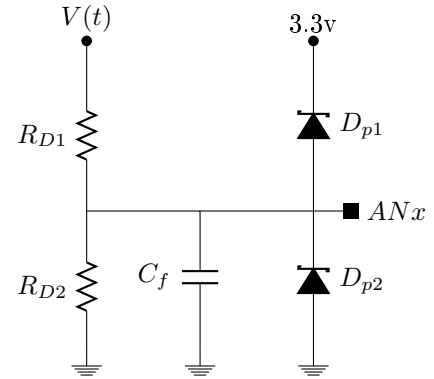


Figura 6.12: Red de sensado de tensión

El circuito de la *Figura (6.12)* se utiliza para sensar la tensión de entrada ($V_{in}(t)$) y la tensión de salida ($V_{out}(t)$), se aplican las *Ecuaciones (6.1) y (6.2)* obteniéndose en cada caso:

- Red para sensar $V_{in}(t)$:

El pin utilizado para sensar $V_{in}(t)$ es AN1, para proteger al pin², se estipula que la tensión nominal máxima que debe existir en este es de 1,65V, y teniendo en cuenta que $V_{in(max)} = 250,31V$ se tiene:

$$R_{D1} = 150k\Omega - \frac{1}{4}w \quad R_{D2} = 1k\Omega - \frac{1}{4}w \quad C_f = 100nF$$

$$\text{Obteniéndose: } \alpha = 0,0066 \quad f_{corte-3dB} = 1,6MHz$$

- Red para sensar $V_{out}(t)$:

El pin utilizado para sensar $V_{out}(t)$ es AN0, para proteger al pin, se estipula que la tensión nominal máxima que debe existir en este es de 1,75V, y teniendo en cuenta que $V_{out(RMS)} = 70V$ se tiene:

$$R_{D1} = 470k\Omega - \frac{1}{4}w \quad R_{D2} = 12k\Omega - \frac{1}{4}w \quad C_f = 100nF$$

$$\text{Obteniéndose: } \alpha = 0,02360 \quad f_{corte-3dB} = 74Hz$$

Estos elementos hacen parte del controlador de voltaje como se describe en el Apartado 5.1.5.3. Según la *Figura (5.12)*, se encuentra que $R_{D1} = R_1 = 470k\Omega$ y $R_{D2} = R_{lower} = 12k\Omega$.

²Observar las características eléctricas en la hoja de datos del dispositivo

El sensado de corriente se realiza utilizando el circuito mostrado en la *Figura (6.13)*. El pin utilizado para sensar $I_{in}(t)$ es AN2.

En este caso, se hace uso del devanado secundario de la bobina seleccionada para L_{in} . D_{in} se utiliza para evitar la aparición de tensiones negativas en R_t , este último es utilizado para generar una tensión proporcional a $I_{in}(t)$, se utilizan un par de diodos schottky de propósito general de referencia BAS40 para proteger al pin contra sobretensiones o tensiones negativas. Para seleccionar R_t se debe tener en cuenta el nivel máximo de tensión en modo común que soporta el módulo comparador del microcontrolador, el cual es de 1V. El cálculo de R_t se realiza utilizando la *Ecuación (6.3)*.

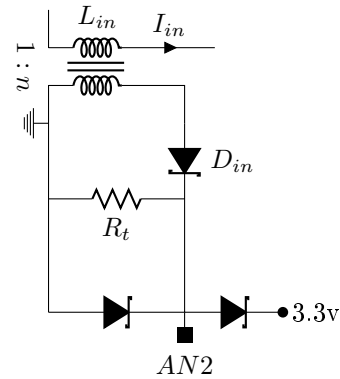


Figura 6.13: Red de sensado de corriente

$$I_{in(max)}(t) \times n \times R_t = 1V \quad (6.3)$$

Dónde n es la relación de transformación entre el devanado secundario y primario del inductor L_{in} . Observando la hoja de datos de este inductor, en la *Figura (6.2)*, se aprecia que $n = 0,045$.

Partiendo de las premisas de diseño, la corriente máxima a la entrada es de $I_{in(max)} = \frac{180W \times \sqrt{2}}{0,9 \times 85V} + 0,13A = 3,44A$, de forma que se obtiene:

$$R_t = \frac{1V}{3,44A \times 0,045} \approx 6,46\Omega$$

La resistencia equivalente más cercana al valor anterior se obtiene con el paralelo entre resistencias comerciales de $180\Omega - \frac{1}{4}w$ y $6,8\Omega - \frac{1}{4}w$.

6.2.2. Diseño del Firmware

El diseño del firmware inicia por configurar la frecuencia de operación del DSC, posteriormente se procede con la configuración de cada uno de los periféricos y servicios de interrupción requeridos por la aplicación. Esta Subsección se enfoca en la información necesaria para esta implementación, va más allá de los alcances de este trabajo explicar todas y cada una de las características del DSC y sus periféricos, en ese caso, se recomienda la lectura de los manuales de referencia y demás información brindada en el sitio web del fabricante.

6.2.2.1. Sistema de generación de reloj

El sistema de generación de reloj del dsPIC33FJ16GS502 se muestra en la *Figura (6.14)*.

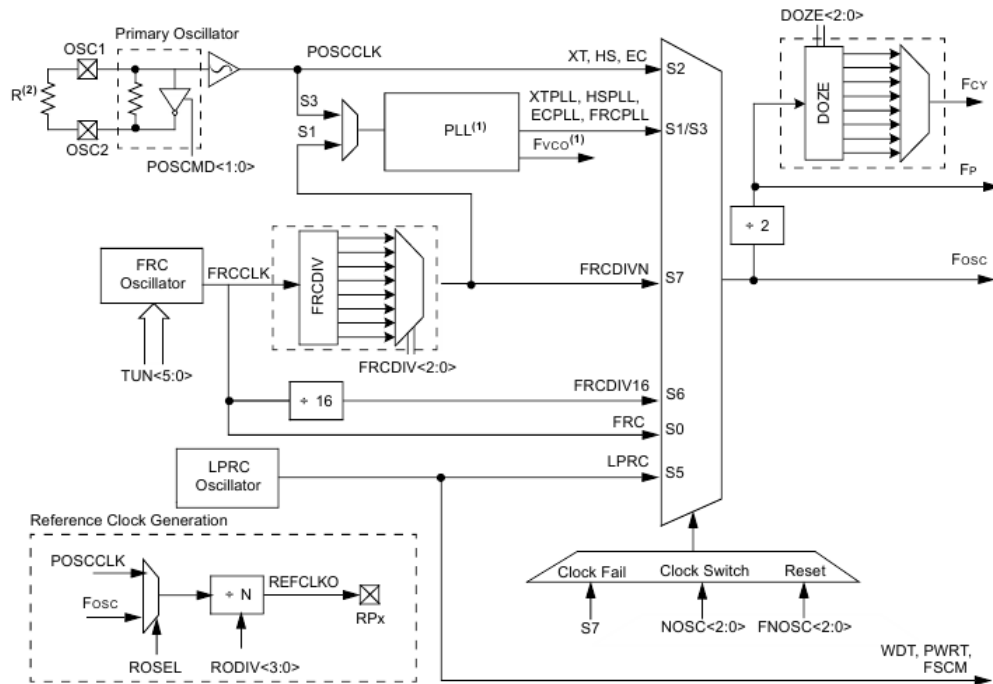


Figura 6.14: Sistema de generación de reloj dsPIC33FJ16GS502

El dsPIC33FJ16GS502 posee seis posibles fuentes para generar la señal de reloj del sistema, entre estas se encuentra el oscilador FRC que viene integrado en el DSC. Este oscilador tiene una frecuencia aproximada de $7,37\text{MHz}$, puede ser configurado para entregar frecuencias 11.625% por encima o 12% por debajo de su valor nominal, además, la señal de reloj generada puede ser utilizada como entrada de un PLL con capacidad de generar frecuencias de oscilación de hasta 80MHz .

La fuente de reloj utilizada después de un Power-On-Reset es configurada a través de dos registros almacenados en la memoria de programa del DSC, denominados FOSC y FOSCSEL. La configuración de estos registros se realiza utilizando macros del compilador C30, provisto por la empresa fabricante.

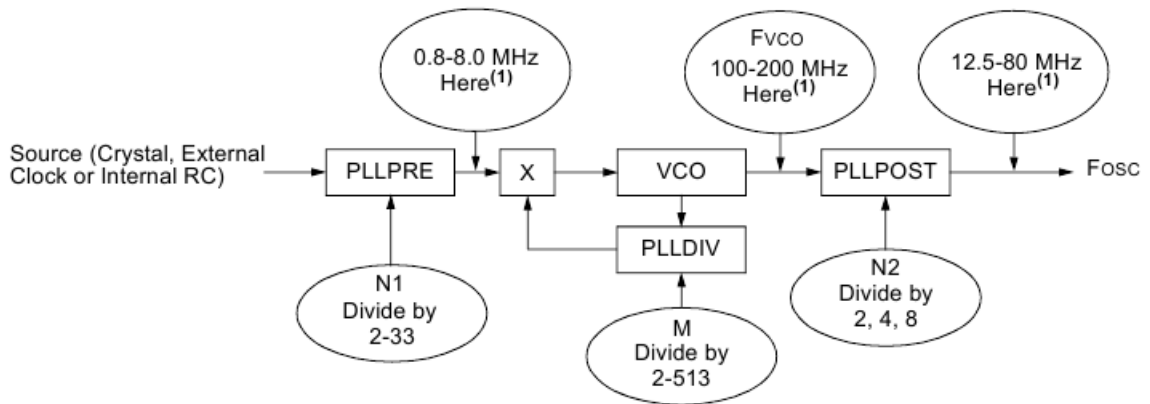
Algoritmo 6.1 Configuración de la fuente principal de reloj

```

_FOSCSEL(FNOSC_FRCPLL & IESO_OFF)
//Internal Fast RC (FRC) with PLL & Start up device with user-selected oscillator source
_FOSC(POSCMD_NONE & OSCIOFNC_OFF & FCKSM_CSDCMD)
//Primary oscillator disabled & OSC2 is general purpose digital I/O pin & Clock switching and Fail-Safe Clock Monitor are disabled, Mon Disabled

```

Una vez seleccionada la operación en conjunto del oscilador FRC y el PLL, hace falta configurar el “tunning” del FRC y los respectivos parámetros del PLL. La configuración del “tunning” del oscilador FRC se hace a través del registro OSCTUN, y para configurar el PLL hace falta cumplir con las limitaciones mostradas en la Figura (6.15).



Note 1: This frequency range must be satisfied at all times.

Figura 6.15: Esquema del PLL para el DSC

Se desea que el DSC opere a su máxima velocidad, lo cual implica:

$$F_{CY} = \frac{F_{OSC}}{2} = \frac{F_{RC-TUN} \times M}{2 \times N1 \times N2} = 40MHz$$

Algoritmo 6.2 Función para configurar FRC y el PLL del DSC

```
void Init_Clock(){
OSCTUNbits.TUN = 21;           //Frc-tun = 8MHz
PLLFBD = 38;                  //M = 40;
CLKDIVbits.PLLPOST = 0b00;    //N2 = 2;
CLKDIVbits.PLLPRE = 0b0000;   //N1 = 2;
/* Fref = Fin/N1 = 8MHz/2=4MHz -> Ok;
Fvco = Fin*M/N1 = Fref*40 = 160MHz -> Ok
Fosc = Fvco/N2 = 80MHz -> Fcy = 40MHz -> Ok*/
}
```

6.2.2.2. Convertidor Análogo/Digital

El módulo ADC del dsPIC33FJ16GS502 funciona con base en aproximaciones sucesivas y está especialmente diseñado para aplicaciones de electrónica de potencia como son: Convertidores DC-DC y PFC's. Este módulo posee dos ADCs, cada uno con 10 bits de resolución y es capaz de realizar cerca de 4 millones de conversiones por segundo. El ADC se configura de tal forma que este muestre pares de entradas análogas en simultáneo; se utilizarán los pares AN0-AN1 y AN2-AN3, el proceso de muestreo y conversión estará gobernado por los *period match* de los timers 2 y 1, respectivamente³. El resultado de la conversión de la tensión capturada en cada pin es almacenado en registros dedicados denominados ADCBUF0, ADCBUF1, ADCBUF2 y ADCBUF3 para AN0, AN1, AN2 y AN3 respectivamente. El proceso total de conversión se toma 16TADs, dada la configuración utilizada para este trabajo, el tiempo total de muestreo y conversión se encuentra alrededor de los 0,8μs.

³Más adelante se presenta la información correspondiente a la configuración de los timers.

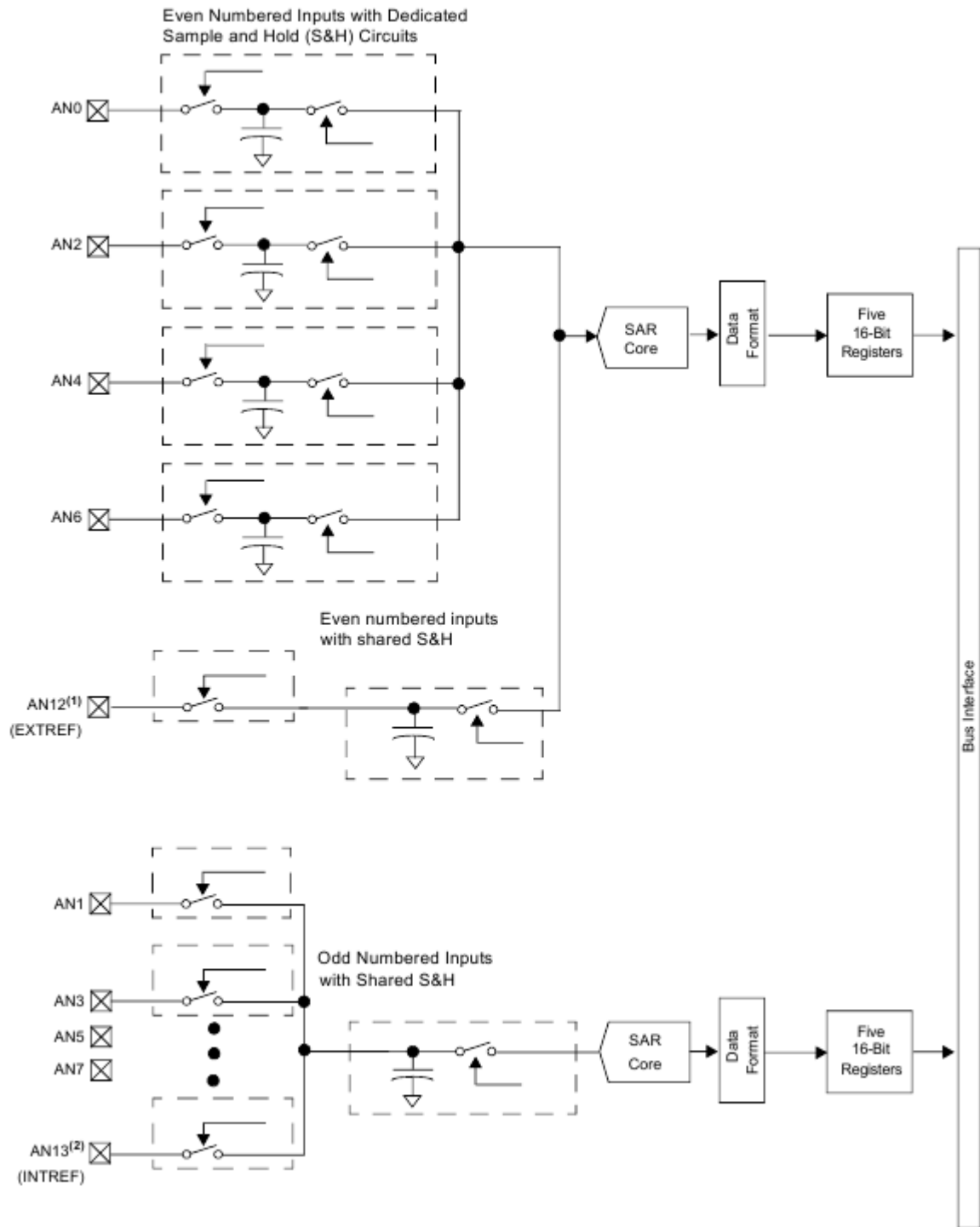


Figura 6.16: Módulo ADC

A continuación se presenta el algoritmo implementado para la configuración:

Algoritmo 6.3 *Función para configurar el módulo ADC*

```

void Init_ADC(){
ADCONbits.SLOWCLK = 0;           //ADC is clock by the primary PLL (FVCO)
ADCONbits.ADCS = 0b111;         //A/D Conversion Clock Divider = FADC/8
                                //Dado que Fvco = 160MHz -> Fadc=160MHz/8
                                //TAD = 8/160MHz
ADCONbits.FORM = 0;             //Integer (DOUT = 0000 00dd dddd dddd)
ADCONbits.EIE = 0;             //Interrupt is generated after second conversion is completed
//-----Configuracion entradas analogas-----//
ADPCFGbits.PCFG0 = 0;          //pin en modo análogo - AN0
ADPCFGbits.PCFG1 = 0;          //pin en modo análogo - AN1
ADPCFGbits.PCFG2 = 0;          //pin en modo análogo - AN2
ADPCFGbits.PCFG3 = 0;          //pin en modo análogo - AN3
ADPCFGbits.PCFG4 = 1;          //pin en modo digital
ADPCFGbits.PCFG5 = 1;
ADPCFGbits.PCFG6 = 1;
ADPCFGbits.PCFG7 = 1;
//-----Configuracion primer par de pines -----//
ADCPC0bits.TRGSRC0 = 0b11111;   //Timer2 period match dispara al conversor A/D para el par
AN0-AN1
ADCPC0bits.TRGSRC1 = 0b01100;   //Timer1 period match dispara al conversor A/D para el par
AN2-AN3
ADCONbits.ADON = 1; }

```

6.2.2.3. Timers

El DSC seleccionado posee 3 contadores de 16 bits, dos de los cuales pueden “unirse” para formar un contador de 32 bits. Dentro de los distintos modos en que se puede utilizar cada contador se encuentran el modo free-running y el modo RTC; en esta aplicación se utilizará el modo free-running por intervalos, lo cual implica que el contador se reinicie cada vez que este alcance el valor estipulado en el registro PRx⁴. Al evento de alcanzar el valor estipulado en PRx se le llama *period match*, y este último es capaz de generar un pedido de interrupción. En esta aplicación se utilizará el *period match* de dos de los timers para lograr la operación concurrente de los lazos de control.

A continuación se presenta el esquema general de este módulo del DSC además de los algoritmos utilizados para configurar los timers 1, 2 y 3.

⁴x es el número del timer utilizado

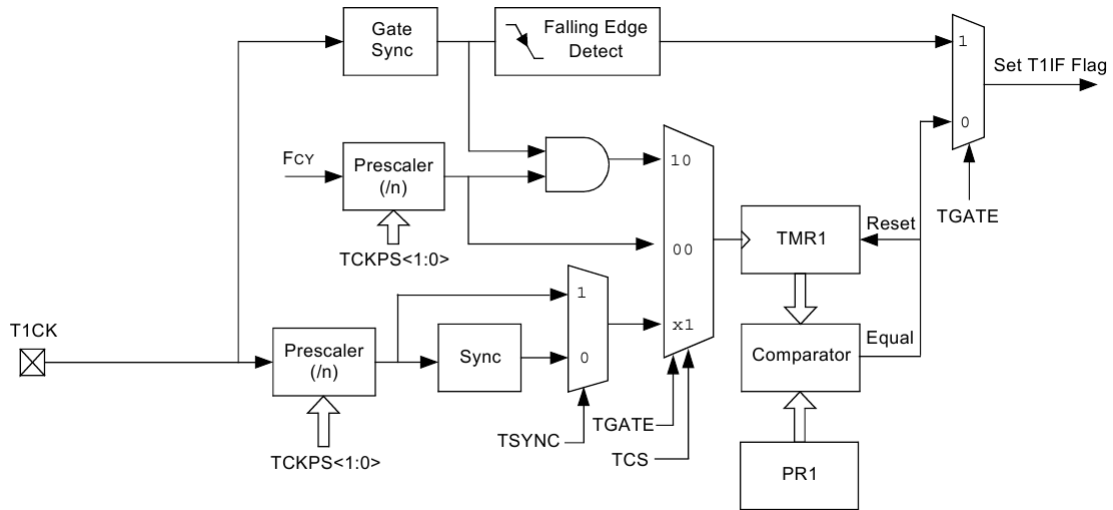


Figura 6.17: Módulo contador

Algoritmo 6.4 Función de configuración Timer 2

```

void Init_Timer2(){
T2CONbits.TON = 0; //Disable Timer
T2CONbits.TCS = 0; //Select internal instruction cycle clock
T2CONbits.TGATE = 0; //Disable Gated Timer mode
TMR2 = 0x00; //Clear timer register
T2CONbits.TCKPS = 0b01; //Select 1:8 Prescaler
PR2 = 162; //Load the period value, se ejecuta a 15360Hz
IPC1bits.T2IP = 0x05; //Set Timer1 Interrupt Priority Level
IFS0bits.T2IF = 0; //Clear Timer1 Interrupt Flag
IEC0bits.T2IE = 1; //Enable Timer1 interrupt
T2CONbits.TON = 1; //Start Timer
}

```

Algoritmo 6.5 Función de configuración Timer 3

```

void Init_Timer3(){
T3CONbits.TON = 0; //Disable Timer
T3CONbits.TCS = 0; //Select internal instruction cycle clock
T3CONbits.TGATE = 0; //Disable Gated Timer mode
TMR3 = 0x00; //Clear timer register
T3CONbits.TCKPS = 0b01; //Select 1:8 Prescaler
PR3 = 2500; //Load the period value, se ejecuta a 1000Hz
IPC2bits.T3IP = 0x05; //Set Timer1 Interrupt Priority Level
IFS0bits.T3IF = 0; //Clear Timer1 Interrupt Flag
IEC0bits.T3IE = 1; //Enable Timer1 interrupt
T3CONbits.TON = 1; //Start Timer
}

```

6.2.2.4. Comparadores

El DSC seleccionado posee 4 módulos comparadores de alta velocidad, cada uno de los cuales tiene la terminal no inversora conectada a 4 posibles entradas, como se aprecia en la *Figura (6.18)*. La terminal inversora está conectada a un convertidor digital-análogo, en el cual se cargarán los valores correspondientes a la ventana de histéresis utilizada. Como se observa, la tensión de referencia para el DAC tiene 3 posibles fuentes, de las cuales se utilizará $AV_{DD}/2$; la conexión y configuración utilizada puede ser estudiada a partir de los algoritmos presentados a continuación y la hoja de datos del dispositivo.

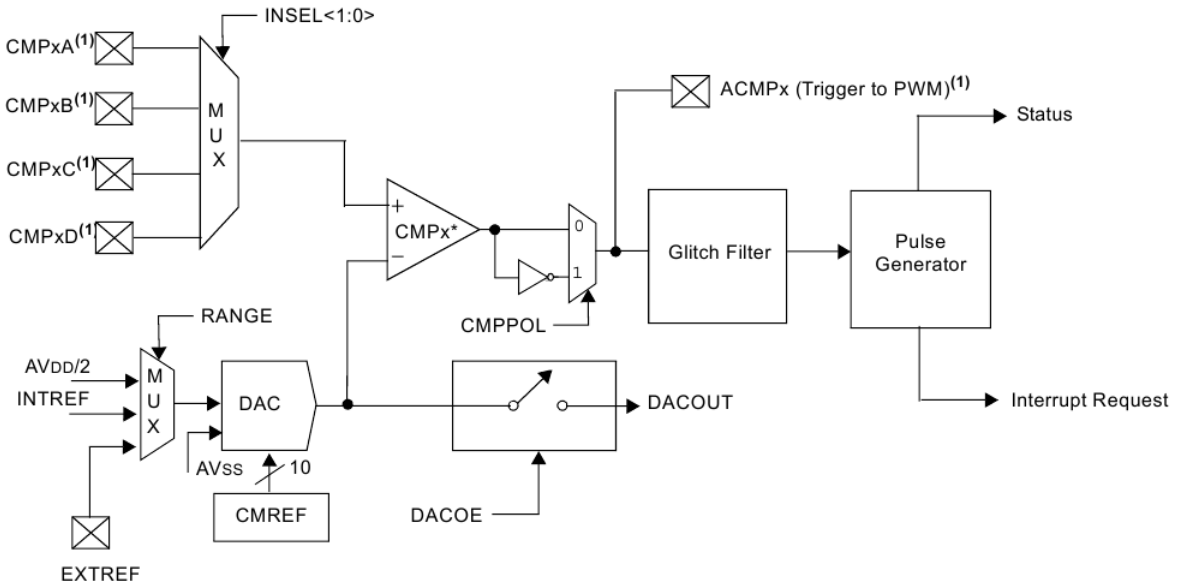


Figura 6.18: Módulo comparador dsPIC33FJ16GS502

Algoritmo 6.6 Función de configuración comparador 1

```
void Init_Comp1(){
  CMPCON1bits.CMPPOL = 0; //Output is non-inverted
  CMPCON1bits.CMPSIDL = 0; //Continue module operation in Idle mode
  CMPCON1bits.DACOE = 0; //DAC analog voltage is not connected to DACOUT pin
  CMPCON1bits.EXTREF = 0; //Internal reference sources provide reference to DAC
  CMPCON1bits.RANGE = 1; //High Range: Max DAC Value = AVDD/2, 1.65V at 3.3V AVDD
  CMPCON1bits.INSEL = 0b10; // Select CMP1C input pin = AN2
  IFS1bits.AC1IF = 0; //Analog Comparator 1 Interrupt Flag Status bit
  IPC4bits.AC1IP = 0b011; //Analog Comparator 1 Interrupt Priority bits
  IEC1bits.AC1IE = 1; //Analog Comparator 1 Interrupt Enable bit
  CMPCON1bits.CMPON = 1; //Comparator module is enabled
}
```

Algoritmo 6.7 Función de configuración comparador 2

```

void Init_Comp2(){
CMPCON2bits.CMPPOL = 1; //Output is inverted
CMPCON2bits.CMPSIDL = 0; //Continue module operation in Idle mode
CMPCON2bits.DACOE = 0; //DAC analog voltage is not connected to DACOUT pin
CMPCON2bits.EXTREF = 0; //Internal reference sources provide reference to DAC
CMPCON2bits.RANGE = 1; //High Range: Max DAC Value = AVDD/2, 1.65V at 3.3V AVDD
CMPCON1bits.INSEL = 0b00; //Select CMP2A input pin = AN2
IFS6bits.AC2IF = 0; //Analog Comparator 2 Interrupt Flag Status bit
IPC25bits.AC2IP = 0b011; //Analog Comparator 2 Interrupt Priority bits
IEC6bits.AC2IE = 1; //Analog Comparator 2 Interrupt Enable bit
CMPCON2bits.CMPON = 1; //Comparator module is enabled
}

```

6.2.2.5. Servicios de Interrupción

Tal cual se mencionó anteriormente, se utilizarán los pedidos de interrupción de los contadores del DSC para realizar el equivalente a los lazos de control del sistema, además de esto se utilizará la interrupción externa INT0 para demarcar el período de integración de la función encargada de determinar $\bar{V}_{in}(n)$.

Como se observa en el *Algoritmo (6.4)* el Timer2 está configurado para generar una interrupción a una frecuencia de $15360Hz$, lo cual implica que la interrupción se generará 180 veces cada $8,33ms$ aproximadamente. El código de este servicio de interrupción, mostrado en el *Algoritmo (6.8)*, se encarga del cálculo de la referencia de corriente.

Algoritmo 6.8 ISR Timer 2

```

void __attribute__((__interrupt__, __shadow__)) _T2Interrupt(void) {
//—>SERVICIO DE INTERRUPCION PARA CALCULAR Iref
while(!ADSTATbits.PORDY);
var = Vac;
IrefAux= (_Q15ftoi((( _itofQ15(var<<5)*Iref)) ));
CMPDAC1bits.CMREF = IrefAux + 43; //Cálculo de la referencia superior
CMPDAC2bits.CMREF = IrefAux - 43; //Cálculo de la referencia inferior
IFS0bits.T2IF = 0; //Clear Timer1 interrupt flag
}

```

El cálculo de la función de transferencia digital del controlador de voltaje, se realiza a partir de lo explicado en los Apartados 5.1.5.3 y 5.1.5.5, estableciendo como parámetros del sistema compensado un ancho de banda de $f_c = 15Hz$ y un margen de fase de 75° .

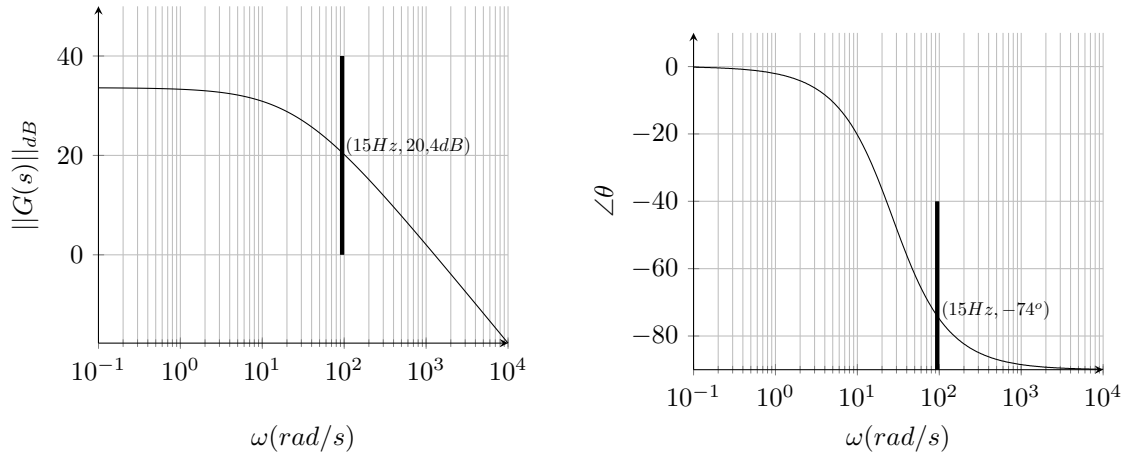


Figura 6.19: *Ganancia de Magnitud y Fase de la Planta Rectificador Controlado para $f_c = 15Hz$*

A partir de la Figura anterior se encuentra que $G(15Hz) = 20,4dB$, $Fase\ actual(15Hz) = -74^\circ$. A partir de las *Ecuaciones* (5.19),(5.20),(5.21), se obtiene:

$$G = 0,0498$$

$$k = 3,60$$

Los valores de R_1, R_{lower} fueron calculados en el Apartado 6.2.1.1.

A partir de los datos calculados de G, k, R_1 y aplicando la *Ecuación* (5.17) se computan los siguientes parámetros:

$$C_1 = 0,78\mu F \quad C_2 = 64,9nF \quad R_2 = 49,1k\Omega$$

Finalmente, se calculan los parámetros k_1, k_2, k_3 aplicando la *Ecuación* (5.31) a partir de los valores de C_1, C_2, R_1, R_2 y un período de cálculo de $T = 1ms$ (como se aprecia en el *Algoritmo* (6.5)).

Luego de lo anterior, la función discretizada del compensador se determina aplicando la *Ecuación* (5.32). Un algoritmo que realiza el cálculo de la acción de control, con base en los valores determinados, se muestra en el *Algoritmo* (6.9).

Algoritmo 6.9 *ISR Timer 3*

```
void __attribute__((__interrupt__, __shadow__)) _T3Interrupt(void) {
Ilv2 = Ilv1;
Ilv1 = Ilv;
Err2 = Err1;
Err1 = Err;
var2 = Vout;
Err = 0.5 - _itofQ15(var2 << 5);
Ilv = z1*Ilv1 + z2*Ilv2 + z3*Err + z4*Err1 + z5*Err2;
if(Ilv > 0){Iref = Ilv;}else{Iref = 0;}
IFS0bits.T3IF = 0; //Clear Timer1 interrupt flag
}
```

El *Algoritmo* (6.10) se utiliza para resetear el acumulador utilizado para calcular el valor promedio de la tensión de entrada.

Algoritmo 6.10 *ISR INT0*

```
void __attribute__((__interrupt__, __shadow__)) _INT0Interrupt(void){
IFS0bits.INT0IF = 0; //Se "reactiva" la interrupción
}
```

Los *Algoritmos (6.11) y (6.12)* se encargan de encender o apagar el dispositivo de potencia controlado cuando sea requerido, teniendo en cuenta la estrategia de control de corriente escogida.

Algoritmo 6.11 *ISR Comparador 1*

```
void __attribute__((__interrupt__, __shadow__)) _CMP1Interrupt(void){
PORTAbits.RA3 = 0;
IFS1bits.AC1IF = 0; //Analog Comparator 1 Interrupt Flag Status bit
}
```

Algoritmo 6.12 *ISR Comparador 2*

```
void __attribute__((__interrupt__, __shadow__)) _CMP2Interrupt(void){
PORTAbits.RA3 = 1;
IFS6bits.AC2IF = 0; //Analog Comparator 2 Interrupt Flag Status bit
}
```

Capítulo 7

Diseño del Convertidor DC-DC topología Buck

El diseño del Convertidor Buck se divide en: dimensionamiento de la etapa de potencia, y dimensionamiento de la etapa de control.

El dimensionamiento de la etapa de potencia corresponde al proceso de pasar de las especificaciones generales de diseño, a las especificaciones de cada elemento en función de la dinámica de la topología escogida.

7.1. Dimensionamiento de la etapa de potencia

Como primer paso para el diseño del convertidor DC-DC Topología Buck, se muestra en el siguiente *Cuadro* las premisas de diseño, teniendo en cuenta las especificaciones generales del prototipo indicadas en el *Cuadro (5.1)*.

Premisa	Valor
Voltaje de salida (V_o)	48V
Regulación Voltaje de salida ($\%r$)	0,02
Rango Voltaje de entrada ($V_{i(min)} - V_{i(max)}$)	50V – 80V
Potencia de salida máxima ($P_{o(max)}$)	180W
Frecuencia de conmutación (f_s)	50kHz

Cuadro 7.1: Premisas de Diseño del Convertidor Buck

A partir de la potencia máxima de salida, se establece la carga mínima a conectar en el convertidor:

$$R_{o(min)} = \frac{(48V)^2}{180W} = 12,8\Omega$$

Se establece como carga máxima para que el convertidor opere en MCC $R_{o(max)} = 88,88\Omega$.

Como se indicará en la Subsección 7.1.1 el inductor seleccionado posee una resistencia interna de $240m\Omega$. De esta manera, aplicando las *Ecuaciones (5.35) y (5.36)*, se llega a:

$$k_{min} = \frac{0,24\Omega}{88,88\Omega} = 0,0027$$

$$k_{max} = \frac{0,24\Omega}{12,8\Omega} = 0,01875$$

Como se indicará en la Subsección 7.1.2 los dispositivos de potencia seleccionados presentan las siguientes características: el transistor posee una caída de tensión en saturación de $V_{sat} = 1,2V$ y el diodo una caída de tensión directa de $V_f = 1,05V$.

A partir de los datos anteriores y apliando las Ecuaciones (5.39) y (5.40), se obtienen los límites de ciclos de trabajo:

$$D_{min} = \frac{48V(1 + 0,0027) + 1,05V}{80V - 1,2V + 1,05V} = 0,615$$

$$D_{max} = \frac{48V(1 + 0,01875) + 1,05V}{50V - 1,2V + 1,05V} = 1$$

7.1.1. Dimensionamiento de los elementos reactivos

El Convertidor Buck posee dos elementos reactivos: L y C . Se debe calcular el valor crítico de la inductancia requerida para que el convertidor opere en CCM. A partir del Criterio descrito por la Ecuación (5.45), se tiene:

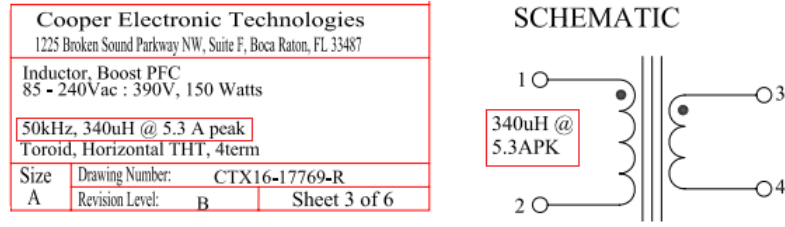
$$L_{(critica)} = \frac{(1 - 0,623) 88,8\Omega}{2 \times 50kHz} = 335\mu H$$

El rizado de la corriente a través del inductor (ΔI_L), a partir del criterio descrito por la Ecuación (5.42), se estipula en 0,980A.

La máxima corriente a través de este inductor, como se aprecia en la Figura (5.19), se calcula así:

$$I_{L_p(max)} = \frac{48V}{12,8\Omega} + \frac{0,980A}{2} = 4,24A$$

A partir de los valores hallados $L_{(critica)}$, $I_{L_p(max)}$ y la frecuencia de conmutación ($f_s = 50kHz$) se ha seleccionado un inductor de la empresa Cooper Electronic Technologies el cual cumple con los parámetros mínimos anteriores. Las características del inductor se presentan a continuación:



ELECTRICAL CHARACTERISTICS

1. OCL @ 20kHz, 0.10Vrms & 0.0A dc. 323.0 - 380.0 uH.
2. OCL @ 20kHz, 0.10Vrms & 5.3A dc. 313.0 uH min.
3. DCR @ 20°C pins (1 - 2); 0.24 Ohm maximum.
4. DCR @ 20°C pins (3 - 4); 0.035 Ohms maximum.
5. Turns ratio; pins (1 - 2):(3 - 4). 1:0.125

Figura 7.1: Hoja de Datos Inductor Buck (L)

En la figura anterior se observa que el inductor seleccionado posee una inductancia de $340\mu H$ a $50kHz$, y es capaz de conducir $5,3A$.

En el *Cuadro (7.1)* se observa que la regulación del voltaje de salida se estableció en 0.01%, a partir de este valor se calcula el rizado pico-pico de esta tensión, así:

$$\Delta V_{o(pp)} = \frac{0,02\%}{100} \left(2 \times \sqrt{2} \times 48V \right) = 27,15mV$$

El valor mínimo del capacitor se calcula a partir del criterio descrito por la *Ecuación (5.46)*, así:

$$C_{(min)} = \frac{48V (1 - 0,623)}{8 \times (50kHz)^2 \times 340\mu H \times 27,15mV} = 98,017\mu F$$

A través del capacitor C fluirá el rizado de corriente del inductor ΔI_L , el valor RMS de ΔI_L se calcula así:

$$\Delta I_{L(RMS)} = \frac{0,980A}{2 \times \sqrt{2}} = 346,5mA$$

El capacitor debe soportar una tensión mínima entre sus terminales de 80V.

Se escogen un capacitor de 100 μF .

Según las condiciones anteriores, se elige un capacitor de aluminio de referencia EEU-FC2A101L fabricado por la compañía *Panasonic*. Las características del condensador se presentan a continuación:

Item	Performance Characteristics
SMD	Not SMD
Body shape	Radial lead type
Polarity type	Polar
Rated voltage	100 (V)
Capacitance	100 (micro F)
Tolerance on capacitance	-20 to 20 (%)
Tangent of loss angle(max.)	0.07
Leakage current(max.)	100 (micro A)
Category temperature range	-55 to 105 (Cel)
Body diameter	10 (mm)
Body length	30 (mm)
Lead(terminal) pitch	5 (mm)
Rated ripple current-1(freq.)	100000 (Hz)
Rated ripple current-1	698 (mA)
Rated ripple current-1(unit)	mA r.m.s.(root mean square)
Impedance-1(frequency)	100000 (Hz)
Impedance-1(max. value)	150 (m Ohm)
E.S.R.-2(freq.)	-
E.S.R.-2(max. value)	-
Endurance	3000 (h)
Forming & packaging feature	Bulk(no lead wire or terminal forming),bag packing
Appearance	Sheathings other than a P.V.C. sleeve(metal case)
Quantity(min. packaging unit)	100 (PCS.)

Figura 7.2: Hoja de datos condensador Buck (C)

Como se observa en la *Figura (7.2)*, el capacitor seleccionado posee una capacitancia de 100 μF , una corriente nominal de 698mA y una tensión nominal de 100V. Se observa que estos parámetros son superiores a los mínimos requeridos.

A modo de resumen, se plasma en el siguiente *Cuadro* los valores comerciales de los 2 elementos reactivos a utilizar en el convertidor Buck:

Elemento	Valor
$L(\mu H)$	340
$C(\mu F)$	100

Cuadro 7.2: Resumen de valores comerciales elementos reactivos convertidor Buck

Los elementos L y C forman un filtro de segundo orden. Para la operación correcta del convertidor, la frecuencia de corte de este filtro debe ser mucho menor a la frecuencia de conmutación. A continuación se realiza dicha validación:

$$\frac{1}{2\pi\sqrt{(340\mu H)(100\mu F)}} \ll 50kHz$$

$$863,57Hz \ll 50kHz$$

Además de los 2 elementos reactivos anteriormente dimensionados, los cuales hacen parte de la topología del convertidor buck, se procede a dimensionar un capacitor más el cual no hace parte del esquema del convertidor, pero es requerido para la alimentación del mismo al operar de forma directa a la red pública. Este capacitor filtra la tensión de línea rectificadas y debido a su continuo proceso de carga y descarga se produce entre sus terminales una tensión DC con un rizado Δv . De esta manera el capacitor tendrá un tiempo de carga (t_c) y en contraparte un tiempo de descarga (t_d) en donde se libera la energía almacenada inicialmente, la suma de estas dos variables es igual al periodo de la señal filtrada (T).

Para fines de diseño, es requerido que el tiempo de carga (t_c) sea pequeño, de forma que sea posible despreciarlo y con esto asegurarse que el período de la señal filtrada sea aproximadamente igual al tiempo de descarga, de esta manera: $T \approx t_d$. Con base en lo anterior y considerando un circuito RC_l , se obtiene:

$$\Delta v = V_i - V_i e^{-\frac{t}{RC_l}}$$

$$\Delta v = V_i \left(1 - e^{-\frac{T}{RC_l}}\right)$$

Aproximando el exponencial a su primer término lineal mediante la serie de maclaurin resulta:

$$\Delta v = V_i \left(1 - \left(1 - \frac{T}{RC_l}\right)\right) \rightarrow \Delta v \approx V_i \left(\frac{T}{RC_l}\right)$$

Entonces el valor mínimo de este capacitor se calcula como:

$$C_{l(min)} = \frac{V_{i(max)}T}{R_{min}\Delta v}$$

Escribiendo la anterior ecuación en términos de la corriente de entrada al convertidor, resulta:

$$C_{l(min)} = \frac{V_{i(max)} \times T \times I_{i(max)}}{\Delta v \times V_{i(min)}}$$

Para aplicar la ecuación anterior, antes es necesario aclarar que el valor de R_{min} es producto de señales DC de tensión y corriente, para evaluar el caso más crítico de diseño se ha considerado el valor pico de la corriente a través del dispositivo controlado sw_1 como $I_{i(max)}$ (Subsección 7.1.2). El valor del período T se toma de $1ms$, y el rizado de $\Delta v = 1,2V$, el resto de parámetros se aprecian en el Cuadro (7.1).

El valor mínimo del capacitor de filtrado de línea es:

$$C_{l(min)} = \frac{80V \times 1ms \times 4,24A}{1,2V \times 50V} = 6mF$$

A partir del resultado anterior se selecciona un capacitor electrolítico de $6,8mF$ a $100V$.

7.1.2. Dimensionamiento de los dispositivos de potencia

A partir de lo explicado en la Subsección 5.2.6 se realiza el dimensionamiento de los dispositivos de potencia. El transistor sw_1 será implementado con un Mosfet, debido a su alta velocidad y capacidad para conmutar a altas frecuencias. La tensión necesaria para activar este transistor tiene una referencia flotante, por tanto es requerido la utilización de un driver especial para activar dispositivos de efecto de campo bajo esta condición.

Aplicando las Ecuaciones (5.47) y (5.48) y teniendo en cuenta los valores de los parámetros mostrados en el Cuadro (7.1) y la Figura (7.5) se calcula:

$$V_{sw_1(max)} \geq 80V + 1,05V \geq 81,05V$$

$$I_{sw_1(max)} \geq \frac{48V}{12,8\Omega} + \frac{0,980A}{2} = 4,24A$$

Se selecciona el Mosfet IRF540N el cual cumple con los requerimientos anteriores; en la Figura (7.3) se muestra su hoja de datos:

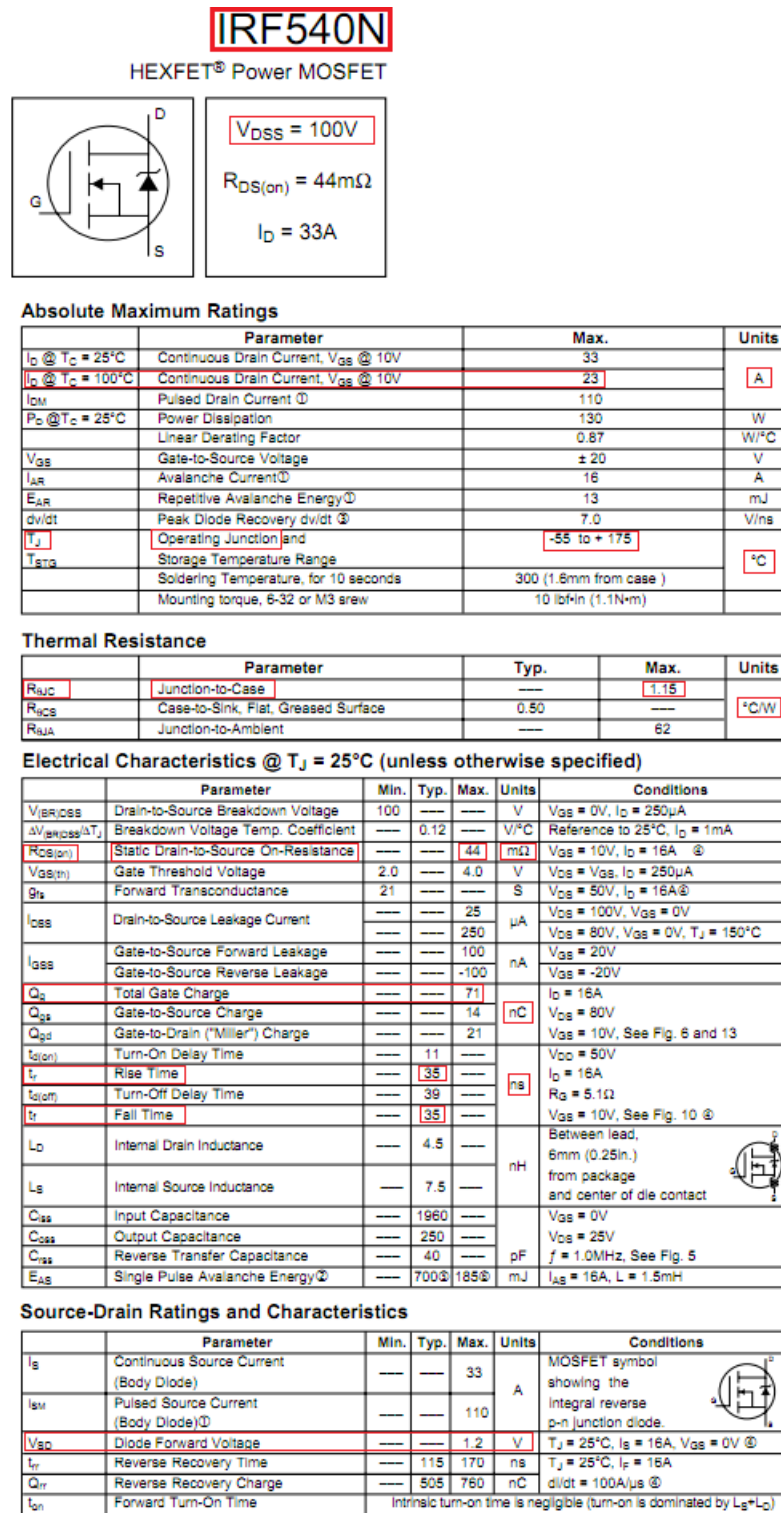


Figura 7.3: Hoja de datos transistor Buck (sw_1)

Como se observa en la Figura (7.3) este transistor posee una tensión de bloqueo V_{DSS} de 100V,

valor superior a los $81,5V$ calculados. La corriente de drenaje más crítica es de $23A$, la cual es mayor a la corriente calculada ($4,24A$).

A su vez como se indicó en el *Cuadro (7.1)*, la frecuencia de conmutación de este dispositivo se estableció en $f_s = 50kHz$. El Mosfet seleccionado es capaz de conmutar a una frecuencia máxima de $f_{mosfet} = \frac{1}{2\pi(5t_r)} = \frac{1}{2\pi(5 \times 35ns)} = 909,456kHz$. Obsérvese que la caída de tensión en saturación del dispositivo es de $V_{sat} = 1,2V$.

Para asegurar que el Mosfet trabaje de forma satisfactoria, se ubicará el punto de operación más exigente al cual será sometido y se verificará que se encuentre dentro de la SOA del dispositivo. En la *Figura (7.4)* se muestra el punto de operación del dispositivo, el cual está por debajo del área correspondiente a un período de conmutación de $1ms$, lo que garantiza operación segura a $50kHz$.

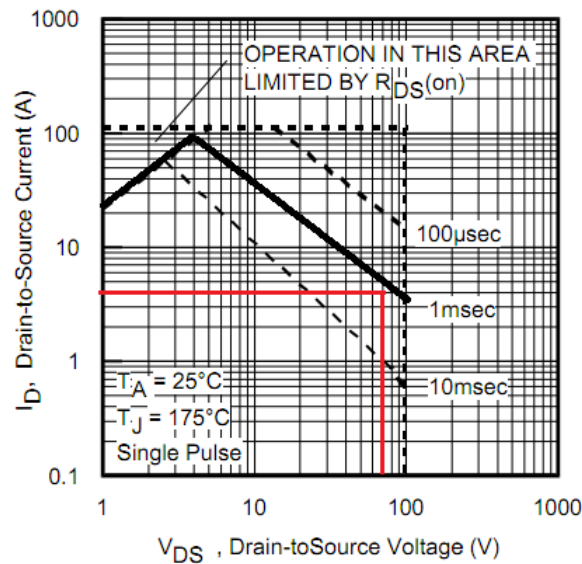


Figura 7.4: SOA dispositivo sw_1 Buck

El disparo de este Mosfet, es especialmente complicado debido a que la terminal de *Fuente* del mismo no está conectada a tierra, comunmente se dice que esta terminal es "*flotante*". Por lo general se manejan dos soluciones cuando esta situación se presenta, una corresponde a la utilización de transformadores, para así aislar la referencia de la tensión de entrada y la de salida, la otra solución utilizada comunmente corresponde a la técnica de *Boosttrapping*, esta técnica básicamente consiste en crear una fuente de tensión cuya referencia reside en la terminal de *Fuente* del Mosfet. Al respecto existe información en [18] y [19].

En el mercado existen varios circuitos integrados que contienen la circuitería necesaria para realizar el disparo de Mosfets en distintos rangos de frecuencia, voltaje y corriente de base. En este diseño se utilizará el circuito integrado de referencia IR2110.

El circuito correspondiente se muestra en la *Figura (7.5)*.

HIGH AND LOW SIDE DRIVER

V _{OFFSET} (IR2110)	500V max.
(IR2113)	600V max.
I _{O+/-}	2A / 2A
V _{OUT}	10 - 20V
t _{on/off} (typ.)	120 & 94 ns
Delay Matching (IR2110)	10 ns max.
(IR2113)	20ns max.

Symbol	Definition	Min.	Max.	Units
V _B	High side floating supply voltage (IR2110)	-0.3	525	V
	(IR2113)	-0.3	625	
V _S	High side floating supply offset voltage	V _B - 25	V _B + 0.3	
V _{HO}	High side floating output voltage	V _S - 0.3	V _B + 0.3	
V _{CC}	Low side fixed supply voltage	-0.3	25	
V _{LO}	Low side output voltage	-0.3	V _{CC} + 0.3	
V _{DD}	Logic supply voltage	-0.3	V _{SS} + 25	
V _{SS}	Logic supply offset voltage	V _{CC} - 25	V _{CC} + 0.3	
V _{IN}	Logic input voltage (HIN, LIN & SD)	V _{SS} - 0.3	V _{DD} + 0.3	
dV _S /dt	Allowable offset supply voltage transient (figure 2)	—	50	
P _D	Package power dissipation @ T _A ≤ +25°C (14 lead DIP)	—	1.6	W
	(16 lead SOIC)	—	1.25	
R _{THJA}	Thermal resistance, junction to ambient (14 lead DIP)	—	75	°C/W
	(16 lead SOIC)	—	100	
T _J	Junction temperature	—	150	°C
T _S	Storage temperature	-55	150	
T _L	Lead temperature (soldering, 10 seconds)	—	300	

Symbol	Definition	Min.	Max.	Units
V _B	High side floating supply absolute voltage	V _S + 10	V _S + 20	V
V _S	High side floating supply offset voltage (IR2110)	Note 1	500	
	(IR2113)	Note 1	600	
V _{HO}	High side floating output voltage	V _S	V _B	
V _{CC}	Low side fixed supply voltage	10	20	
V _{LO}	Low side output voltage	0	V _{CC}	
V _{DD}	Logic supply voltage	V _{SS} + 3	V _{SS} + 20	
V _{SS}	Logic supply offset voltage	-5 (Note 2)	5	
V _{IN}	Logic input voltage (HIN, LIN & SD)	V _{SS}	V _{DD}	
T _A	Ambient temperature	-40	125	

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
V _{IH}	Logic "1" input voltage	12	9.5	—	—	V	I _O = 0A
V _{IL}	Logic "0" input voltage	13	—	—	6.0		
V _{OH}	High level output voltage, V _{BIAS} - V _O	14	—	—	1.2		
V _{OL}	Low level output voltage, V _O	15	—	—	0.1		
I _{LK}	Offset supply leakage current	16	—	—	50		
I _{QSS}	Quiescent V _{SS} supply current	17	—	125	230		
							V _B =V _S = 500V/600V V _{IN} = 0V or V _{DD}

Figura 7.6: Hoja de datos Driver IRF2110

A partir de la información obtenida de la hoja de datos del mosfet seleccionado (Figura (7.3)), la hoja de datos del IR2110 (Figura (7.6)) y teniendo en cuenta que la caída de tensión entre fuente y tierra (V_{is}) es igual a la caída de tensión en sw₂, es decir V_{is} = 1,05V, se calcula el valor mínimo del capacitor de bootstrap, dando como resultado:

$$C_{bootstrap} > 4,8\mu F$$

El fabricante recomienda utilizar valores comerciales que se encuentren muy por encima del mínimo calculado, para así evitar la descarga excesiva del capacitor, por esta razón se ha seleccionado un capacitor de tantalio y uno electrolítico, con valores de 10μF y 1μF respectivamente.

Como diodo de bootstrap se utiliza un 1N4148, además se adiciona un zener de 15V con el fin de fijar la tensión de disparo del mosfet. Es bien sabido que la corriente máxima a través del drenaje del mosfet está directamente relacionada con la tensión que se le aplique en la compuerta, observando

la *Figura (7.7)* es posible validar que los 15V aplicados aseguran el paso de la corriente máxima establecida con anterioridad.

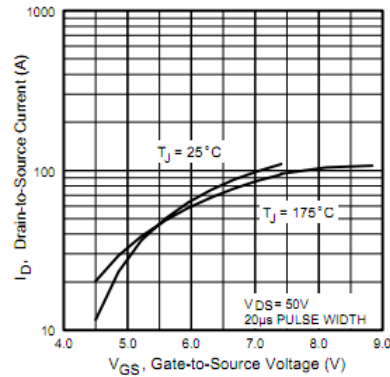


Figura 7.7: V_{GS} vs I_D Mosfet Buck

Para el dimensionamiento y selección del dispositivo sw_2 se aplican las *Ecuaciones (5.49)* y *(5.50)*, teniendo en cuenta los valores de los parámetros mostrados en el *Cuadro (7.1)* y la *Figura (7.3)*, obteniéndose:

$$V_{sw_2(max)} \geq 80V - 1,2V \geq 78,8V$$

$$I_{sw_2(max)} \geq \frac{48V}{12,8\Omega}(1 - 0,623) = 1,4137A$$

Con base en los requerimientos anteriores, se selecciona un diodo de referencia MUR1520, el cual posee las características mostradas en la *Figura (7.5)*.

En la *Figura (7.8)* se aprecia que el dispositivo seleccionado cumple con los requerimientos mínimos establecidos, se añade la ya conocida característica de los diodos MUR en cuanto a su gran velocidad de respuesta. Obsérvese que la caída de tensión directa del dispositivo es de $V_f = 1,05V$.

**MUR1510, MUR1515,
MUR1520, MUR1540,
MUR1560, MURF1560**

Preferred Devices

**SWITCHMODE™
Power Rectifiers**



ON Semiconductor®

<http://onsemi.com>

**ULTRAFAST RECTIFIERS
15 AMPERES, 100–600 VOLTS**

MAXIMUM RATINGS

Rating	Symbol	MUR					Unit
		1510	1515	1520	1540	1560	
Peak Repetitive Reverse Voltage Working Peak Reverse Voltage DC Blocking Voltage	V_{RRM} V_{RWM} V_R	100	150	200	400	600	V
Average Rectified Forward Current (Rated V_R)	$I_{F(AV)}$	15 @ $T_C = 150^\circ\text{C}$			15 @ $T_C = 145^\circ\text{C}$		A
Peak Rectified Forward Current (Rated V_R , Square Wave, 20 kHz)	I_{FRM}	30 @ $T_C = 150^\circ\text{C}$			30 @ $T_C = 145^\circ\text{C}$		A
Nonrepetitive Peak Surge Current (Surge applied at rated load conditions halfwave, single phase, 60 Hz)	I_{FSM}	200		150			A
Operating Junction Temperature and Storage Temperature Range	$T_{J, T_{stg}}$	-65 to +175					$^\circ\text{C}$

THERMAL CHARACTERISTICS

Parameter	Symbol	Value	Unit
MUR1510 Series: Thermal Resistance Junction-to-Case Junction-to-Ambient	$R_{\theta JC}$ $R_{\theta JA}$	1.5 73	$^\circ\text{C/W}$
MURF1560: Thermal Resistance Junction-to-Case Junction-to-Ambient	$R_{\theta JC}$ $R_{\theta JA}$	4.25 75	$^\circ\text{C/W}$

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	1510	1515	1520	1540	1560	Unit
Maximum Instantaneous Forward Voltage (Note 1) ($I_F = 15\text{ A}$, $T_C = 150^\circ\text{C}$) ($I_F = 15\text{ A}$, $T_C = 25^\circ\text{C}$)	V_F		0.85 1.05		1.12 1.25	1.20 1.50	V
Maximum Instantaneous Reverse Current (Note 1) (Rated DC Voltage, $T_C = 150^\circ\text{C}$) (Rated DC Voltage, $T_C = 25^\circ\text{C}$)	I_R		500 10		500 10	1000 10	μA
Maximum Reverse Recovery Time ($I_F = 1.0\text{ A}$, $di/dt = 50\text{ A}/\mu\text{s}$)	t_{rr}		35		60		ns

Figura 7.8: Hoja de datos diodo Buck (sw_2)

7.2. Diseño de la etapa de control

El control del convertidor Buck se realiza utilizando un controlador PWM de referencia TL494. Este controlador otorga la posibilidad de trabajar con salidas push-pull o single-ended, en este trabajo, debido a que la topología utilizada es Buck, se utilizará la configuración single-ended. El controlador también posee un generador de tiempo muerto entre conmutaciones, el cual puede ser utilizado para configurar el arranque suave del convertidor, además de ser útil para el encendido o apagado general del convertidor.

El TL494 puede ser alimentado por tensiones que varían entre 7V y 40V, además es capaz de generar una referencia estable de 5V con una variación máxima de 25mV sobre todo el rango de operación.

A continuación se presenta el esquema general del circuito integrado TL494:

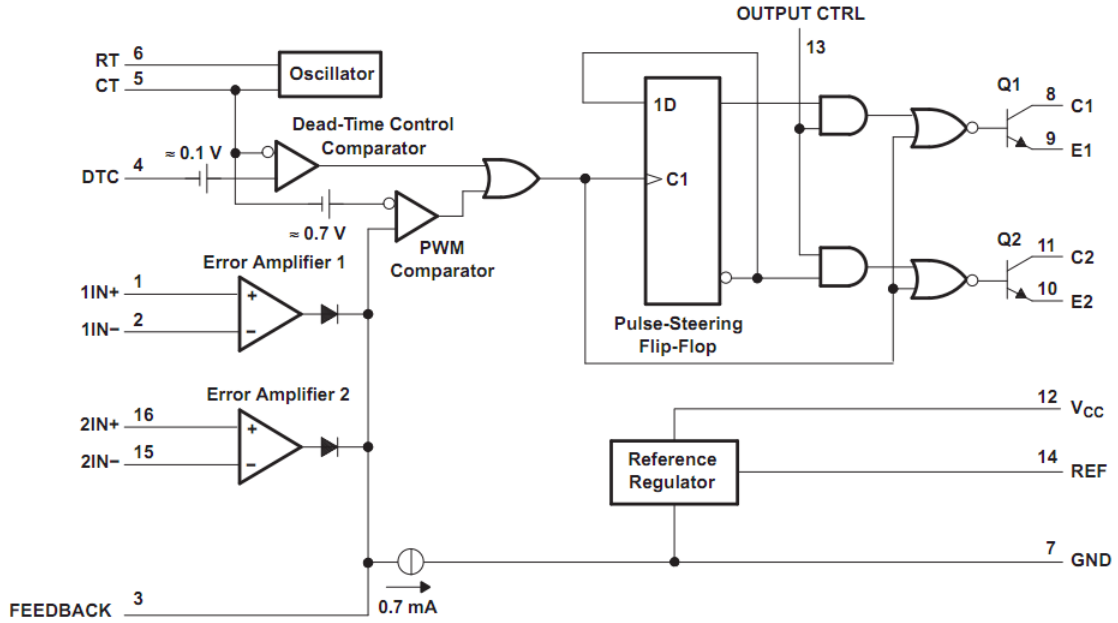


Figura 7.9: Diagrama de Bloques del controlador pwm TL494

Se observa la presencia de dos amplificadores de error, uno de los cuales se utiliza para la red de compensación y el otro comúnmente se utiliza como protección para sobrecorrientes. En el caso de que se utilice la configuración de salida push-pull, el flip flop de pulse steering es el encargado de controlar cada disparo, de lo contrario este elemento es desactivado, y los transistores de salida son disparados directamente por la salida del comparador PWM. Obsérvese además que la configuración de las salidas es de emisor y colector abierto. A continuación se presenta el dimensionamiento y configuración de todos los elementos necesarios para el funcionamiento deseado de la etapa de control del convertidor Buck.

7.2.1. Referencia de la red de compensación

Como se mencionó anteriormente, el TL494 es capaz de entregar una referencia estable de 5V, el regulador encargado de generar esta referencia puede ser cargado con un máximo de 10mA.

Lógicamente $R_{D1} = R_{D2}$, pero el valor de estas resistencias debe ser elegido considerando la máxima carga que puede soportar el regulador interno del TL494, así:

$$\frac{V_{ref}}{2R_{D1}} < 10mA$$

Obteniéndose:

$$R_{D1} > 250\Omega$$

Se escogen valores comerciales para R_{D1} y R_{D2} , así: $R_{D1} = R_{D2} = 10k\Omega$ a $\frac{1}{4}w$

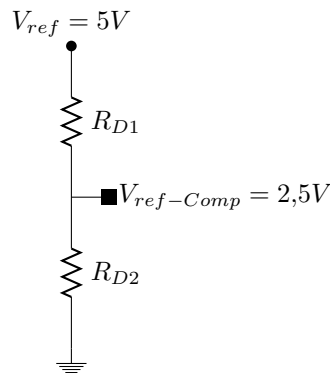


Figura 7.10: Divisor de tensión para la referencia del controlador del Convertidor Buck

7.2.2. Oscilador

La frecuencia del oscilador encargado de generar la señal diente de sierra necesaria para el comparador PWM se configura a través de los valores de R_T y C_T .

El oscilador es capaz de generar frecuencias superiores a $1kHz$ e inferiores a $300kHz$, los valores recomendados para R_T oscilan entre $1k\Omega$ y $500k\Omega$, mientras que los valores recomendados para C_T oscilan entre $470pF$ y $10\mu F$. Se establece un valor para R_T de $10k\Omega$ a $\frac{1}{4}w$, y como se planteó en las premisas de diseño del Buck, se trabaja con una frecuencia de conmutación de $50kHz$, para el cálculo de C_T se utiliza la Ecuación provista por el fabricante, así:

$$C_T = \frac{1}{R_T f_s} = \frac{1}{10k\Omega \times 50kHz} = 2nF$$

De dónde se seleccionan dos capacitores cerámicos de $1nF$ en paralelo.

La tensión pico de la señal diente de sierra es de $3,3V$, este dato será necesario a la hora de diseñar el compensador, ya que este determina la función de transferencia del modulador de PWM.

7.2.3. Control de tiempo muerto

El porcentaje de tiempo muerto en la salida PWM del controlador puede ser administrado variando la tensión en el pin *Dead time control* entre $0V$ y $3,3V$, lo cual equivale a una variación entre el 3% y el 100%. El 3% mínimo obedece a la configuración por defecto del circuito integrado, y es debido a una caída de tensión cercana a los $0,1V$ en su interior, como se observa en la *Figura (7.9)*.

En este diseño se utilizará la conexión por defecto, es decir, la terminal *DTC* estará conectada a tierra.

7.2.4. Configuración de la salida

Tal como se mencionó anteriormente, la salida puede ser de configuración push-pull o single-ended. Para lograr la configuración single-ended hace falta conectar el pin *OUTC* a tierra.

7.2.5. Red de control

Se inicia por analizar el modelo encontrado, para esto se tienen en cuenta las magnitudes de interés de todos los dispositivos reactivos y de potencia dimensionados con anterioridad. Al momento de trabajar con este modelo se deben respetar todas las limitaciones y suposiciones realizadas durante el modelamiento, luego entonces este no es útil para describir el transitorio de encendido del convertidor, dado que este corresponde a una variación de gran señal. Luego se procede a analizar la dinámica del sistema retroalimentado con diferentes lazos de control proporcional, se varía la ganancia y se analiza su comportamiento en el dominio temporal; luego se procede a determinar la respuesta en frecuencia de modelo encontrado y se comparan dos lazos de control determinados utilizando el *factor k*, diferenciándose en la frecuencia de corte escogida para su dimensionamiento. Para cada caso, tanto como para el control proporcional, como para el controlador diseñado a través del *factor k*, se seleccionan los diseños que satisfagan las condiciones requeridas.

Análisis Temporal del Convertidor Buck - Diseño del Controlador

El incluir algunas de las pérdidas del sistema dificulta el manejo simbólico de las expresiones, además de que los resultados obtenidos de esta manera son de muy alta entropía. Dadas las anteriores razones, se prescinde del manejo simbólico de la solución del sistema, y se utilizan los valores numéricos correspondientes para obtener la información necesaria para caracterizarlo, a partir de estos es posible hallar el coeficiente de amortiguamiento, y la frecuencia natural de resonancia; los cuales a su vez son buenos indicadores de la respuesta transitoria del sistema ante una entrada escalón.

En adelante se utiliza GNU Octave para el análisis del modelo, y posteriormente para el diseño del controlador.

El modelo se obtiene utilizando el código mostrado en *Algoritmo (7.1)*.

Algoritmo 7.1 *Modelado del Convertidor Buck Real realizado en GNU Octave*

```

Vin = 70;
Vout = 48;
R = 48*48/180;
Ron = 44e-3;
Rl = 0.24;
Rc = 0.075;
L = 340e-6;
C = 100e-6;
D = Vout/Vin;
X = [Vout/R; Vout];
U = [70; 0; 1.02 ];
Aon = [(-1/L)*(R/(R+Rc))*(Ron+Rl+Rc+(Ron*Rc/R)+(Rl*Rc/R)), -R/(L*(R+Rc));
        R/(C*(R+Rc)), -1/(C*(R+Rc))];
Aoff = [(-1/L)*(R/(R+Rc))*(Rl+Rc+(Rl*Rc/R)), -R/(L*(R+Rc));
        R/(C*(R+Rc)), -1/(C*(R+Rc)) ];
Bon = [1/L, Rc*R/(L*(R+Rc)), 0; 0 , -R/(C*(R+Rc)) , 0];
Boff = [0 , Rc*R/(L*(R+Rc)), -1/L; 0 , -R/(C*(R+Rc)) , 0];
A = D*Aon + (1-D)*Aoff;
B = D*Bon + (1-D)*Boff;
Cy = [Rc*R/(R+Rc), R/(R+Rc)];
sys = ss(A, Aon*X - Aoff*X + Bon*U - Boff*U, Cy);

```

Una vez hecho esto, se utiliza la función *damp(sys)* para calcular los valores propios y demás variables mencionadas en el párrafo anterior, obteniéndose así:

Eigenvalores		Factor de Armotiguamiento	Frecuencia Natural de Resonancia
Re()	Im()		
-701.13	3799.63	0.1814	614.93
-701.13	-3799.63	0.1814	614.93

Cuadro 7.3: *Variables asociadas al modelo real del convertidor buck*

Con ánimo de obtener una apreciación mas cualitativa, se utiliza la función *rlocus(sys)*, obteniéndose la *Figura (7.11)*, dónde se evidencia la cercanía del par de polos complejos conjugados al eje imaginario ($k=0$), además de la gran diferencia existente entre las partes reales e imaginarias de los valores propios del sistema, lo cual implica que la tasa de crecimiento de la respuesta transitoria será relativamente alta, y el porcentaje de sobreimpulso será considerable. La baja magnitud del factor de amortiguamiento también es diciente del sobreimpulso presente en la respuesta transitoria del sistema.

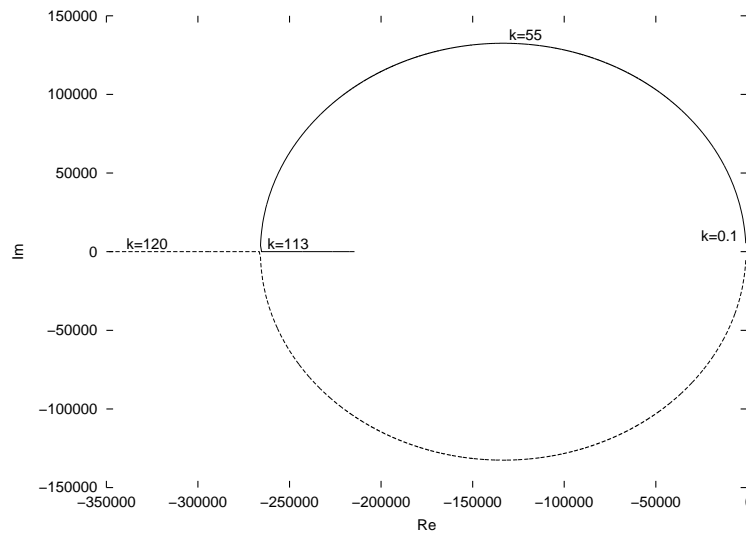


Figura 7.11: Gráfico del Lugar de las Raíces del modelo hallado

Para generar la *Figura (7.11)* se asume que la planta está siendo controlada por un compensador puramente proporcional, cuya ganancia varía desde cero ($k=0$) hasta *ciento veinte* ($k=120$), el cual es el valor máximo de k que ha sido configurado. Por tanto, a partir de este gráfico, es posible concluir que mientras k varía entre *cero* (0) y aproximadamente *ciento trece* (113), los polos del sistema son complejos, luego, a partir de este último valor, los polos del sistema pasan a ser reales. Uno de los polos tiende hacia un cero cercano al eje imaginario, mientras que el otro tiende hacia un cero en el infinito.

Estrategia de Control Proporcional

Como se verá mas adelante, la implementación de un control proporcional para un convertidor conmutado resulta muy económica, aunado a esto está el hecho de que los tiempos de diseño y desarrollo son muy cortos [20].

Es bien sabido que el gráfico del lugar de las raíces se basa en la variación de la ganancia de un controlador proporcional aplicado a la planta, por esto se utilizará al mismo como base para la sintonización y análisis del controlador proporcional que se desarrollará a continuación. Se procede a analizar la respuesta del sistema retroalimentado para los valores de k mostrados en la *Figura (7.11)*.

$k = 0.1$ Para este caso al igual que en los siguientes se comparan los resultados de simulación obtenidos bajo dos variantes. Por un lado la simulación de los bloques del sistema (planta y controlador) a través de un software especializado para ello como es *Simulink*, y por otro lado simulando el sistema real a través de *Powersim*.

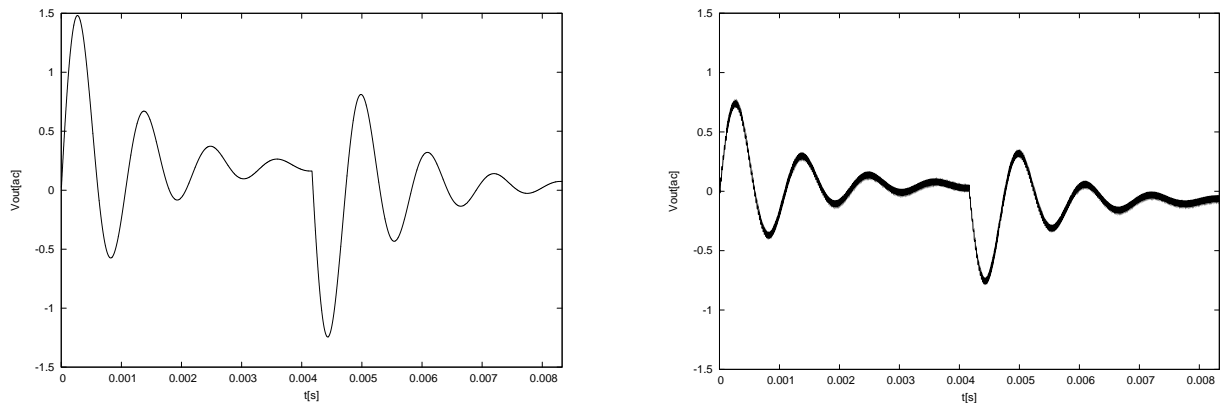


Figura 7.12: Gráficos de la simulación de la respuesta transitoria del sistema promediado y el sistema real $k = 0,1$

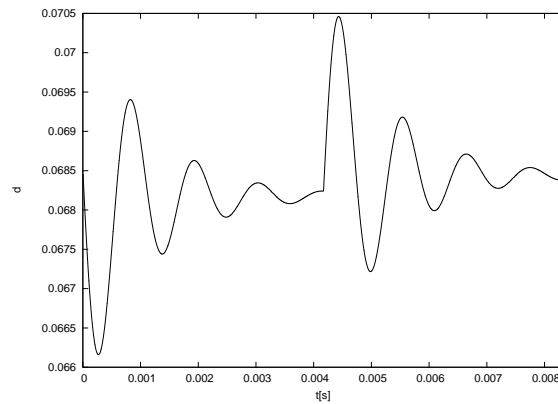
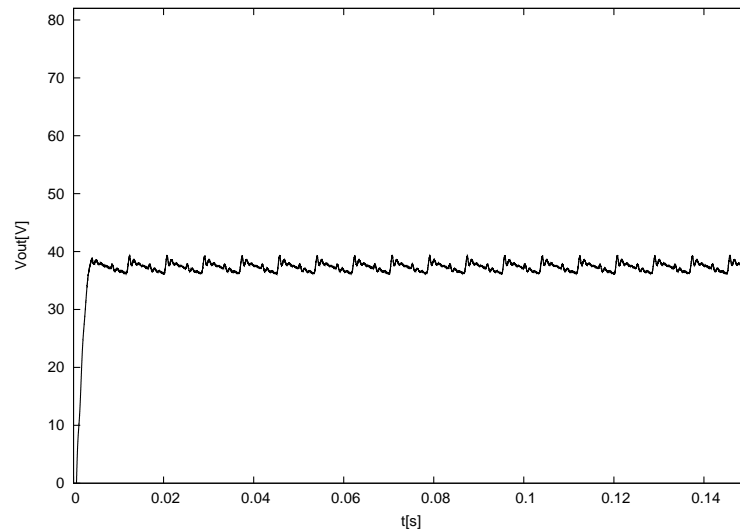
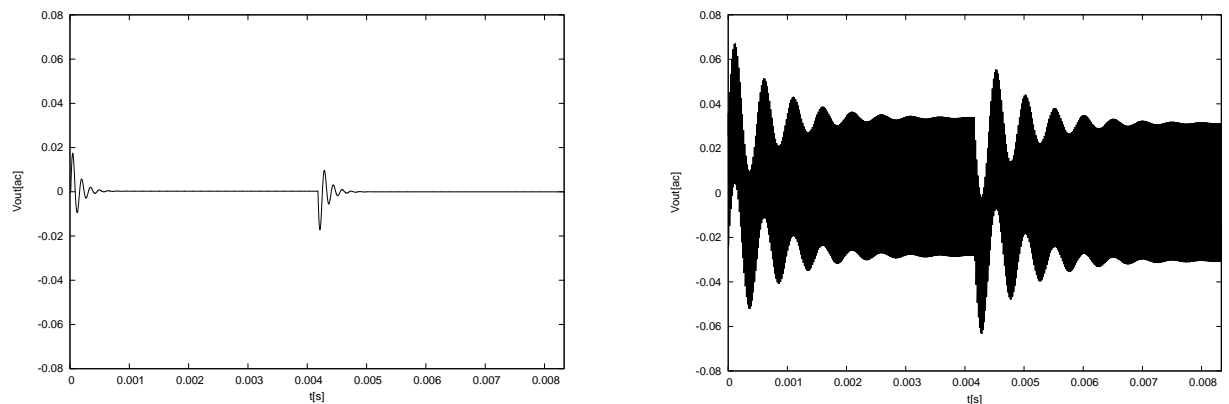


Figura 7.13: Gráfico de la variable de control (d) $k = 0.1$

Para generar la *Figura (7.12)* se ha conectado al sistema una carga que conmuta entre *cero (0)* y *cuatrocientosochenta (480) mA* a una frecuencia de 120Hz . Tal como se observa en la *Figura (7.13)* la variación de la variable de control (d) es muy pequeña en comparación con su valor en estado estable, comprobándose así que no se han violado las limitaciones impuestas a la hora de encontrar el modelo, otra muestra de esto es la coincidencia de los resultados de simulación obtenidos para el sistema promediado y el sistema real (simulado a través de un software especializado).

Cuando $k=0.1$ ($-1110 \pm j9300$), los polos del sistema se encuentran muy cerca de los mostrados en el último *Cuadro*, por tanto, tal como se dijo anteriormente, se esperaría que el sistema oscilara considerablemente además de tener un tiempo de asentamiento relativamente grande (*un poco superior a los 4ms*).

Como se observa en la *Figura (7.14)* el error en estado estable es inadmisibles (la tensión promedio de salida es de $37,6\text{V}$), además de esto se observa que la cantidad de ruido de línea que se filtra a través del sistema es considerable ($\Delta V_{out} = 3,25\text{V}$).

Figura 7.14: Tensión de salida Convertidor Buck $k = 0,1$ Figura 7.15: Gráficos de la simulación de la respuesta transitoria del sistema promediado y el sistema real $k = 55$

$k = 55$ Para generar la *Figura (7.15)* se ha conectado al sistema una carga que conmuta entre *cero (0)* y *cuarenta y cuarentiocho (48) mA* a una frecuencia de 120Hz . Tal como se observa en el gráfico de la derecha de la *Figura (7.15)*, a partir de este punto el transitorio empieza a ser difícil de analizar debido a la presencia del rizado natural de la conmutación del convertidor. En la *Figura (7.13)* se observa como la variable de control (d) no se desvía más de 2mV de su valor en estable durante una perturbación cuando $k = 0,1$, sin embargo para $k = 55$ la desviación de la variable de control respecto a su valor en estado estable se acerca a los 15mV (*Figura (7.16)*). A partir de la *Figura (7.15)* no resulta difícil deducir que el modelo inicia a fallar en su objetivo de describir la dinámica del sistema, aún así la

causa de esto no es una falencia en la metodología de modelado, sino un error en el dimensionamiento de la carga variable con la que se fuerza el transitorio. Sucede que para que las simulaciones del sistema real y promediado coincidan (tal como sucedió con $k = 0,1$), la carga variable debería ser mucho más pequeña, lo cual tal como se mencionó al inicio del párrafo, imposibilitaría la apreciación y estudio del fenómeno. Además de esto, transitorios de menor magnitud estarían en un orden de relevancia muy cercano al mismo ruido de conmutación, el cual, en este trabajo no se cataloga como un problema, sino como una consecuencia natural de la operación del sistema. En ciertas aplicaciones, el rizado de conmutación permitido para este tipo de diseños no es permisible, y transitorios aún más pequeños son tenidos en consideración, lo anterior se aleja del alcance de este trabajo.

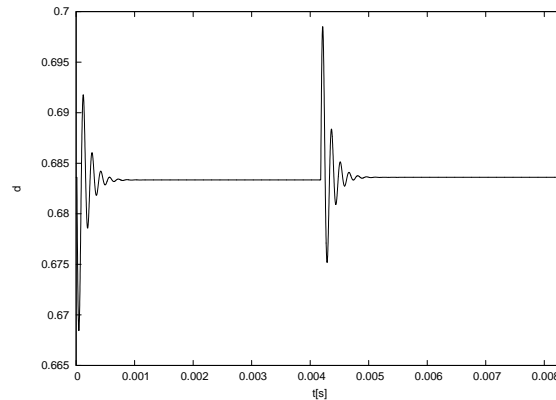


Figura 7.16: Gráfico de la variable de control (d) $k = 55$

Cuando $k = 55$, la parte imaginaria de los polos del sistema ($-135000 \pm j133000$) alcanza su máximo valor, mientras que la parte real también alcanza un valor considerable, lo cual naturalmente implica un aumento en la frecuencia natural de resonancia y en el porcentaje de sobreimpulso, pero también aumenta fuertemente el efecto del término exponencial (atenuación) de la respuesta transitoria, lo cual trae como consecuencia la disminución drástica del tiempo de asentamiento (cerca de 0.8ms).

En la *Figura (7.17)* el error en estado estable es mucho menor al mostrado en la *Figura (7.14)*, además de esto se observa que la cantidad de ruido de línea que se filtra a través del sistema disminuye ostensiblemente ($\Delta V_{out} = 0,55V$). La tensión de salida promedio para este caso es de 43,1V

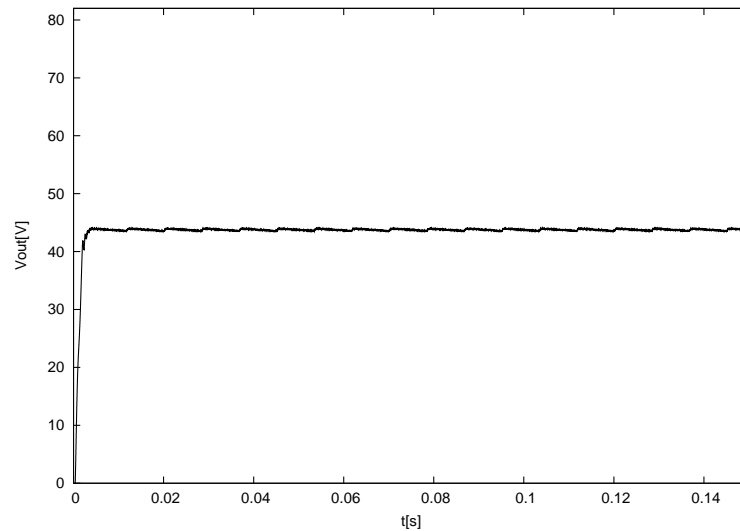


Figura 7.17: Tensión de salida Convertidor Buck $k = 55$

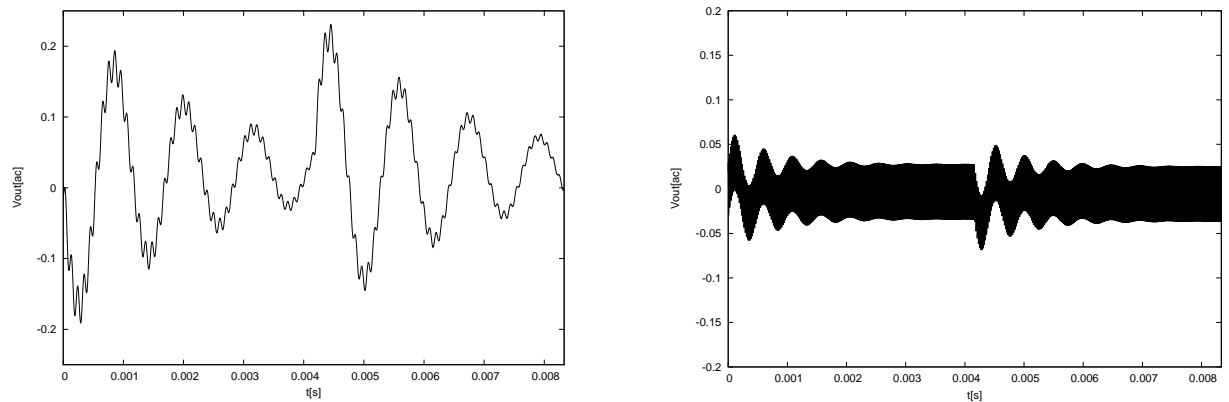


Figura 7.18: Gráficos de la simulación de la respuesta transitoria del sistema promediado y el sistema real $k = 113$

$k = 113$ Para generar la *Figura (7.18)* se ha conectado al sistema una carga que conmuta entre *cero (0)* y *cuarentaiocho (48) mA* a una frecuencia de $120Hz$. Para este valor de k también se observa una diferencia considerable entre los transitorios obtenidos en simulación con el sistema promediado y el sistema real. Nuevamente la conmutación natural del convertidor se presenta como una limitante a la hora de analizar la dinámica del sistema para variaciones más pequeñas en la carga. A partir de la *Figura (7.19)* es posible concluir que las condiciones bajo las que se ha realizado la simulación han roto las condiciones impuestas a la hora de realizar el modelamiento.

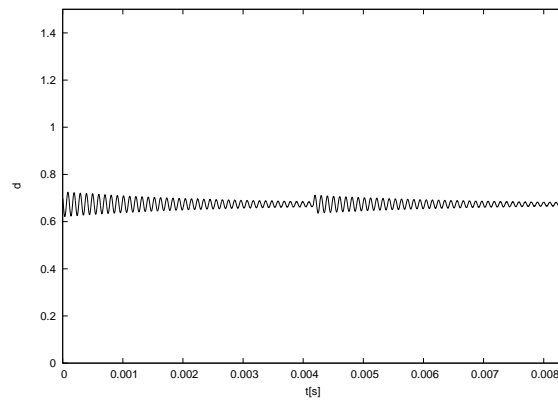


Figura 7.19: Gráfico de la variable de control (d) $k = 113$

En la *Figura (7.20)* el error en estado estable es aún menor al mostrado en la *Figura (7.17)*, siendo para este caso la tensión promedio de 46,1V. Por otra parte, la capacidad de rechazar el ruido de línea también es muy similar.

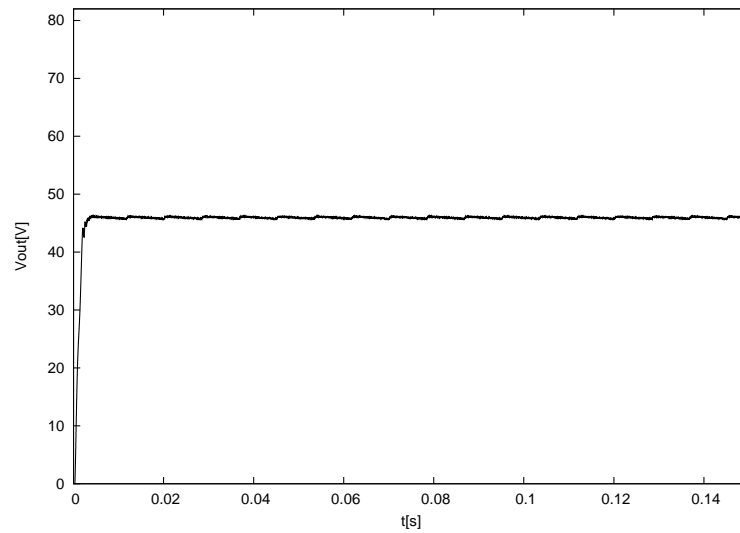


Figura 7.20: Tensión de salida Convertidor Buck $k = 113$

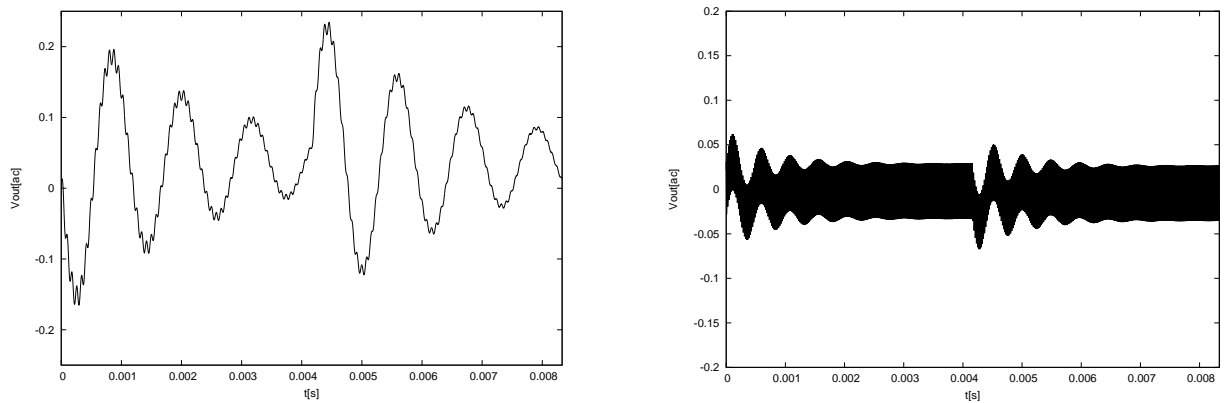


Figura 7.21: Gráficos de la simulación de la respuesta transitoria del sistema promediado y el sistema real $k = 200$

$k = 200$ Las condiciones generales en este caso se mantienen respecto al anterior, por tanto, es de esperarse que la *Figura (7.22)* sea similar a la *Figura (7.19)*, debido a que ambas se obtuvieron bajo las mismas condiciones.

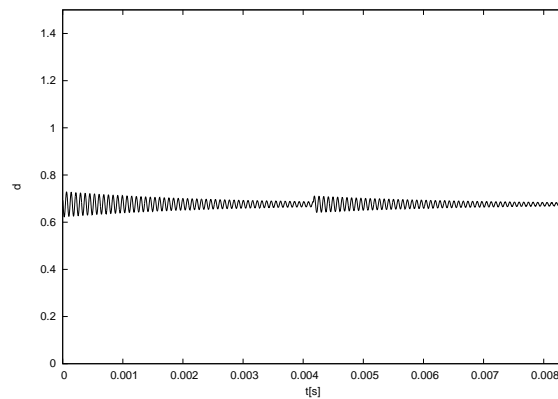
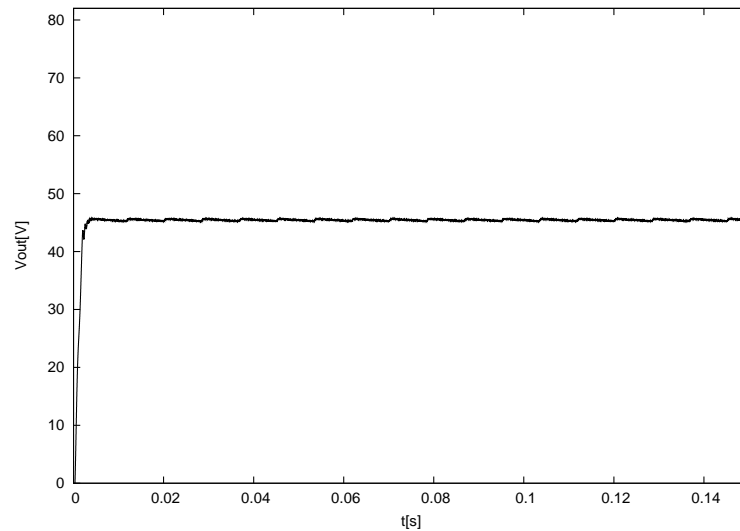


Figura 7.22: Gráfico de la variable de control (d) $k = 200$

El error en estado estable nuevamente es inferior al mostrado en la *Figura (7.20)*, aunque para este caso, la diferencia es inferior al caso anterior.

Figura 7.23: Tensión de salida Convertidor Buck $k = 200$

Luego de analizar la dinámica transitoria y en estado estable del convertidor buck controlado con una estrategia de control proporcional, es posible concluir que a partir de un cierto valor de k (en este caso se toma un valor de 113 basado en los resultados obtenidos) la dinámica del sistema en lazo cerrado permanece casi invariante ante cambios en la ganancia del controlador. Resulta también que bajos valores de k producen errores en estado estable que alcanzan cifras inadmisibles, por tanto se recomienda seleccionar valores de k tales que el error en estado estable esté por debajo de un límite impuesto a la hora de realizar el diseño, es decir, dar mayor prioridad a la dinámica en estado estable, a sabiendas de que la dinámica transitoria permanecerá dentro de límites no dañinos para el sistema. Por las razones anteriores se escoge una ganancia de 100 (valor cercano a 113), para la implementación del control proporcional.

Estrategia de Control Diseñada Utilizando el Factor k

El proceso de diseño del compensador inicia por convertir el modelo hallado en el espacio de estados a función de transferencia y hallar su gráfico de bode.

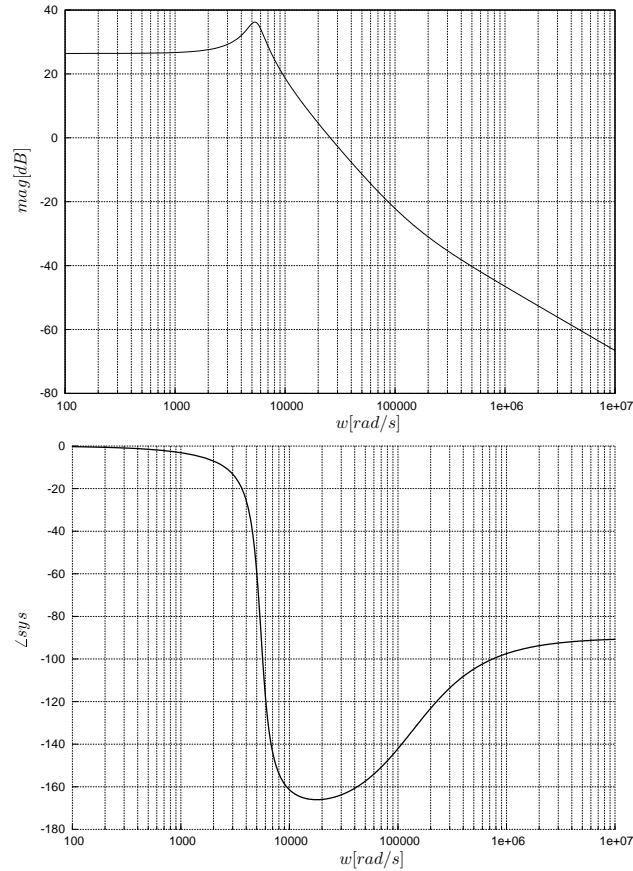


Figura 7.24: Gráfico de bode del modelo real del Convertidor Buck

En el gráfico de bode de la planta es posible notar la influencia de la red de segundo orden formada por L y C . A partir de la frecuencia de resonancia, se observa una caída en la ganancia a un ritmo de -40dB/decada , además de que la fase pasa a ser cercana a 180° , luego, debido a la presencia del cero insertado por la resistencia serie del capacitor de salida, la fase vuelve a 90° . La baja frecuencia de resonancia del sistema presenta una limitante a la hora de diseñar el compensador. En el diseño de compensadores para convertidores conmutados se suele fijar un ancho de banda correspondiente a la décima parte de la frecuencia de conmutación, al hacer esto, el gráfico de bode del sistema compensado obtenido sería el mostrado en la *Figura (7.25)*.

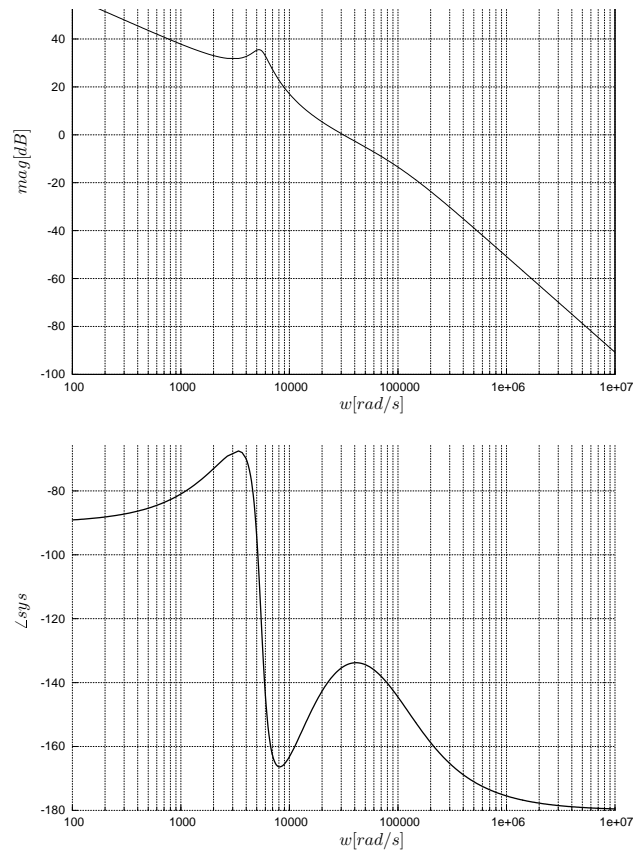


Figura 7.25: Gráfico de bode del sistema compensado $f_c = 5kHz$

En el gráfico de Bode de la *Figura (7.25)* se observa como las componentes frecuenciales que se encuentren dentro del rango de los 6000 a los 10000 [rad/s] tardarán mas en desvanecerse dentro del sistema realimentado debido a que el margen de fase para ellas es inferior a los 20 grados. Lo anterior puede dar lugar a que la respuesta del sistema sea un poco oscilatoria. Aún así, dado que el ancho de banda es relativamente alto, se espera que la respuesta del sistema compensado de esta manera sea relativamente rápida.

Se establece un ancho de banda de $2,5kHz$, y un margen de fase de 45° (*Figura (7.26)*), esta limitación autoimpuesta corresponde a un compromiso entre la velocidad y la cantidad de oscilaciones de la respuesta transitoria del sistema.

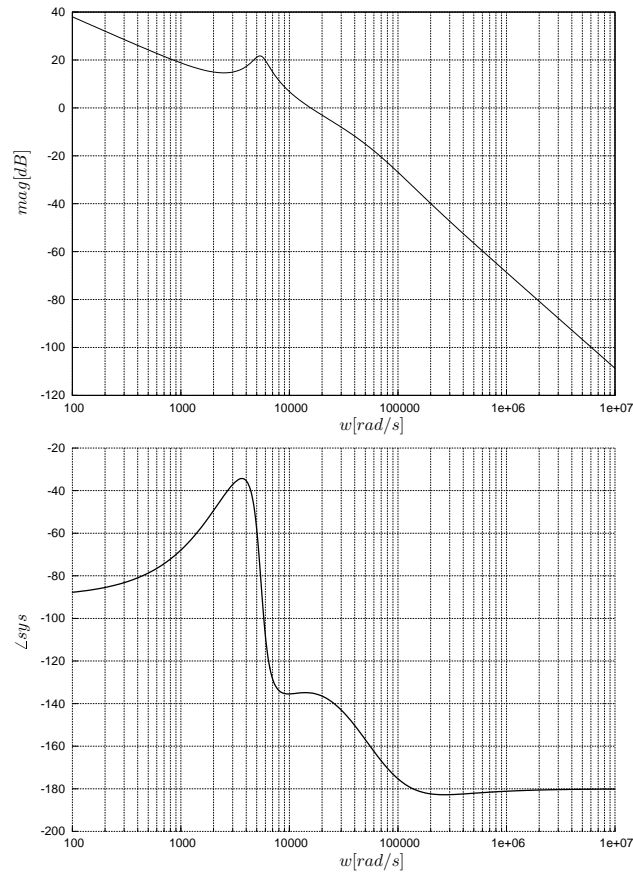
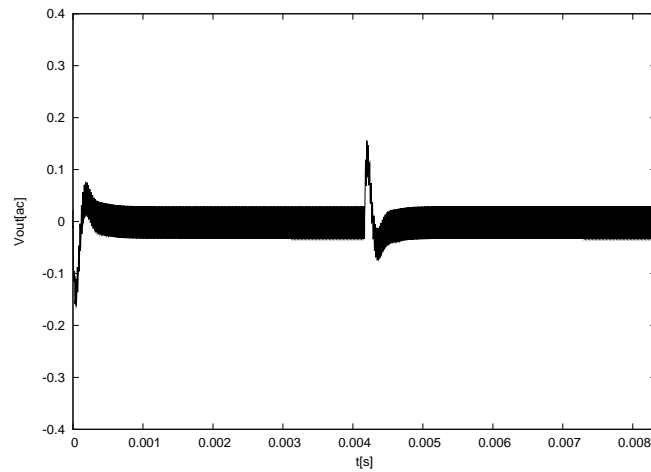
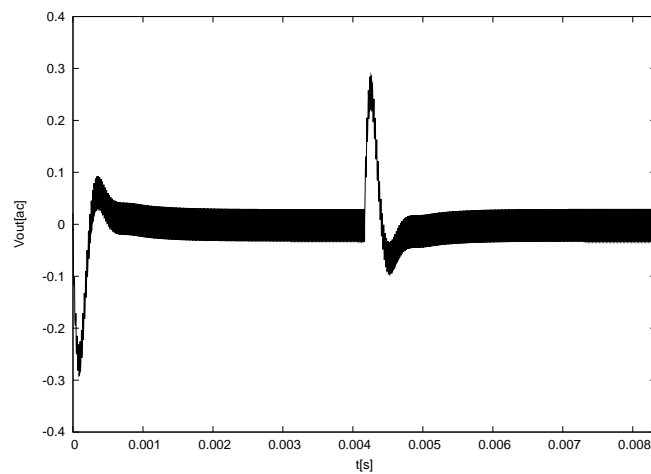


Figura 7.26: Gráfico de bode del sistema compensado $f_c = 2,5kHz$

A diferencia del gráfico de Bode de la *Figura (7.25)*, en el gráfico de la *Figura (7.26)* todas las componentes frecuenciales por debajo de la frecuencia de corte tienen un margen de fase superior o igual a los *45 grados*.

En la *Figura (7.27)* se observa claramente como el sistema diseñado con un ancho de banda de *5kHz* tiene un tiempo de respuesta menor al diseñado con un ancho de banda de *2,5kHz* mostrado en la *Figura (7.28)*.

Figura 7.27: Respuesta transitoria Convertidor Buck ancho de banda $f_c = 5kHz$ Figura 7.28: Respuesta transitoria Convertidor Buck ancho de banda $f_c = 2,5kHz$

En estado estable, está claro que ambos posibles diseños tendrán un desempeño excelente debido a la presencia de un integrador puro en ambas funciones de transferencia. Para constancia obsérvense las Figuras (7.29) y (7.30).

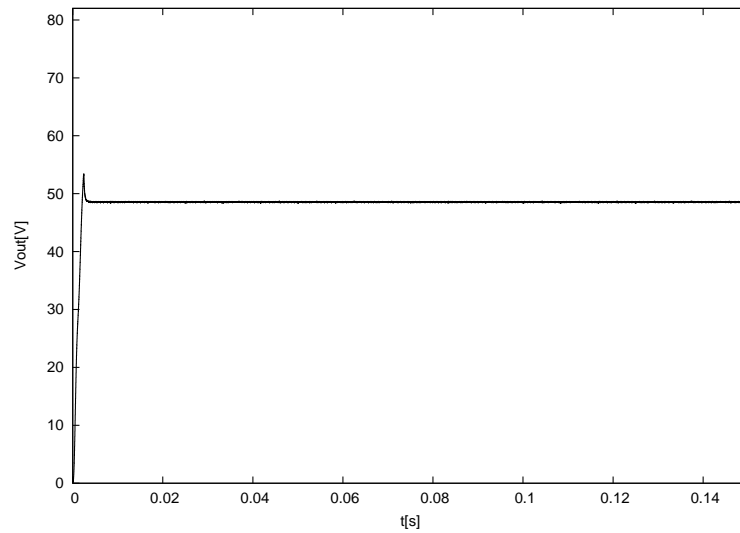


Figura 7.29: Tensión de salida Convertidor Buck $f_c = 5\text{kHz}$

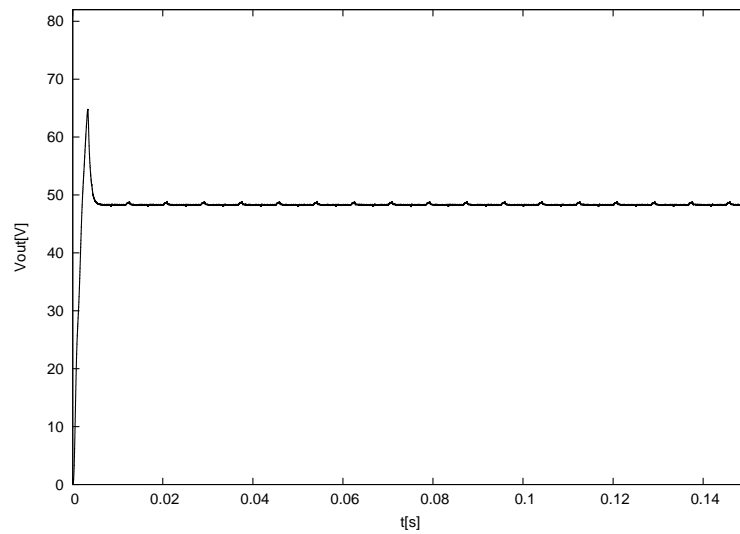


Figura 7.30: Tensión de salida Convertidor Buck $f_c = 2,5\text{kHz}$

Aclarado lo anterior se establecen las condiciones previamente mencionadas (un ancho de banda de $2,5\text{kHz}$, y un margen de fase de 45°), con estos datos y el gráfico de bode de la *Figura (7.24)* se determinan los valores de $G(2,5\text{kHz})$ y k , utilizando las *Ecuaciones (5.19)* y *(5.59)*, respectivamente.

$$G(2,5kHz) = 0,3475 \quad k = 14,37$$

Debido a que las premisas de diseño establecen una tensión de salida de 48V, y la referencia a utilizar es de 2,5V, R_1 y R_{lower} deben formar un divisor de tensión tal que:

$$\frac{48V * R_{lower}}{R_{lower} + R_1} = 2,5V$$

Para lograr lo anterior lo más cercano posible se seleccionan resistencias de valores comerciales de $12k\Omega$ y $220k\Omega$, para R_{lower} y R_1 , respectivamente. Estas resistencias se dimensionan a $\frac{1}{4}W$.

Con los valores de G , k , y R_1 se procede a calcular los valores de R_2 , R_3 , C_1 , C_2 y C_3 a través de las Ecuaciones (5.57). Los cálculos se muestran a continuación:

$$C_2 = \frac{1}{2\pi (2,5kHz) (0,3475) (220k\Omega)} = 0,832nF$$

$$C_1 = 0,8327nF (14,37 - 1) = 11,134nF$$

$$R_2 = \frac{\sqrt{14,37}}{2\pi (2,5kHz) (11,134nF)} = 21,676k\Omega$$

$$R_3 = \frac{220k\Omega}{14,37 - 1} = 16,453k\Omega$$

$$C_3 = \frac{1}{2\pi (2,5kHz) (\sqrt{14,37}) (16,453k\Omega)} = 1,0207nF$$

Se seleccionan los elementos comerciales que más se acerquen a los valores calculados anteriormente. Obteniéndose:

$$C_2 = 0,82nF$$

$$C_1 = 11,1nF = 10nF + 1nF + 0,1nF$$

$$R_2 = 22k\Omega$$

$$R_3 = 16,5k\Omega = 15k\Omega + 1,5k\Omega$$

$$C_3 = 1nF$$

Como es posible apreciar según lo anterior, la capacitancia requerida para C_1 es lograda mediante la conexión en paralelo de 3 capacitores: $10nF$, $1nF$, $0,1nF$. A su vez la resistencia R_3 está formada por un arreglo en serie de dos resistencias de $15k\Omega$ y $1,5k\Omega$.

A continuación se muestran los esquemáticos de los controladores elegidos para cada metodología:

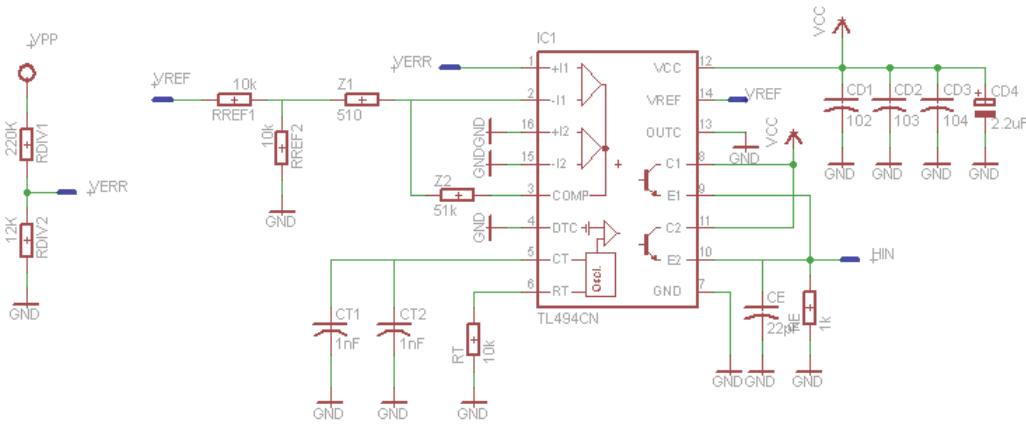


Figura 7.31: Esquemático control proporcional

Para configurar $k=100$ en este controlador se dimensionan las resistencias $Z_2 = 51k\Omega - \frac{1}{4}W$ y $Z_1 = 510\Omega - \frac{1}{4}W$, dado que la ganancia de un amplificador con retroalimentación negativa es igual a $51k\Omega/510\Omega = 100$.

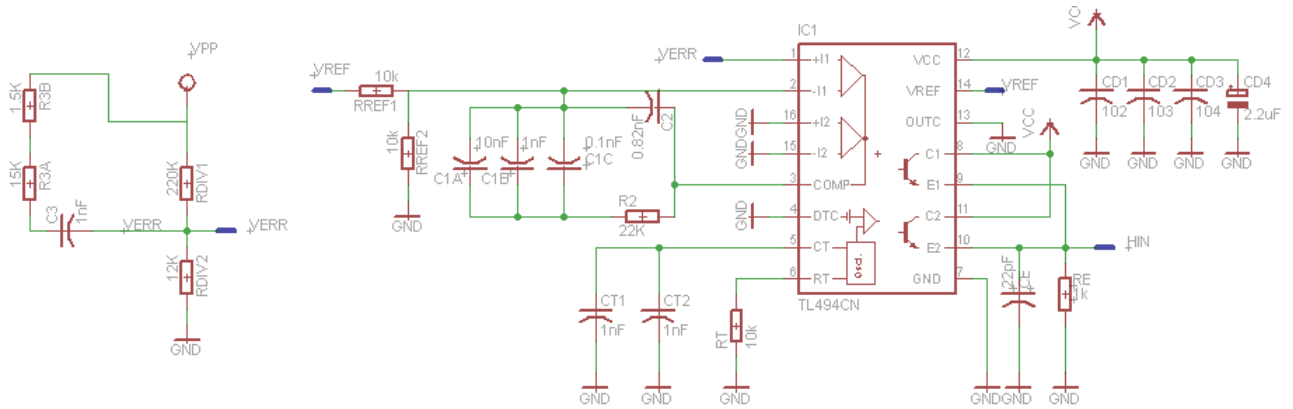


Figura 7.32: Esquemático control proporcional

Por recomendación de [22] se selecciona un capacitor $CE = 22pF$, y una resistencia $RE = 1k\Omega - \frac{1}{4}W$. Además capacitores de desacoplo para filtrar la tensión de alimentación del TL494.

Capítulo 8

Diseño de Circuitos Auxiliares

8.1. Protecciones

8.1.1. Protección contra sobretensión

La potencia manejada por los dispositivos semiconductores, tales como, transistores, TRIAC, MOSFET, Reguladores de tensión, etc., es en muchos casos de una magnitud considerable. Además, el problema se agrava teniendo en cuenta que el tamaño de tales dispositivos es muy pequeño, lo que dificulta la evacuación del calor producido. Un cuerpo que conduce una corriente eléctrica pierde parte de energía en forma de calor por efecto Joule. En el caso de los semiconductores, se manifiesta principalmente en la unión PN, y si la temperatura aumenta lo suficiente, se produce la fusión térmica de la unión, inutilizando el dispositivo. Los dispositivos de potencia reducida, disipan el calor a través de su encapsulado hacia el ambiente, manteniendo un flujo térmico suficiente para evacuar todo el calor y evitar su destrucción. En los dispositivos de más potencia, la superficie del encapsulado no es suficiente para poder evacuar adecuadamente el calor disipado. Se recurre para ello a los disipadores térmicos, que proporcionan una superficie adicional para el flujo térmico [20].

El calor se transmite mediante tres formas conocidas: radiación, convección y conducción. En la disipación de calor de los semiconductores, solamente se consideran los dos últimos tipos de propagación: convección y conducción.

En forma general, el arreglo formado entre el dispositivo de potencia y el disipador térmico es mostrado en la *Figura (8.1)*. Es posible realizar una analogía entre las variables eléctricas y las térmicas, de forma que el flujo de calor desde la unión del semiconductor hasta el ambiente es posible calcularlo a través de la siguiente ecuación equivalente a la ley de Ohm: $T = WR_{total}$. A partir de dicha expresión y teniendo en cuenta el esquema mostrado en la *Figura (8.2)*, el cual parte de la *Figura (8.1)*, se llega a:

$$T = T_j - T_a = W (R_{jc} + R_{cd} + R_{da}) \quad (8.1)$$

La asociación de resistencias térmicas es igual que la asociación de resistencias. En serie, se suman los valores de cada R , de manera que la resistencia térmica equivalente es mayor que cada una de las resistencias por separado. Lógicamente, cuanto mayor es la resistencia térmica, mayor dificultad para el flujo de calor.

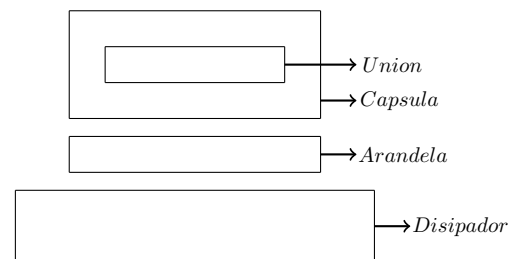


Figura 8.1: Disposición dispositivo de potencia-disipador térmico

La mayoría de fabricantes de semiconductores proporcionan los datos suficientes para poder calcular el disipador que se requiere. Se necesita como punto de partida, la temperatura máxima que puede alcanzar la unión del transistor. Esta temperatura no se deberá alcanzar en ningún caso, para no destruir el componente. Normalmente el fabricante proporciona el "operating temperature range" por ejemplo, -65 to 200 °C indica que la temperatura máxima es de 200°C. Para diseño se toman unos coeficientes de seguridad k como sigue:

- $k = 0.5$ para un diseño normal con temperatura moderada
- $k = 0.6$ para economizar en tamaño de disipador
- $k = 0.7$ cuando el disipador permanezca en posición vertical y en el exterior (mejora de convección).

Con el coeficiente k , y tomando la temperatura máxima de funcionamiento como T_j , de la Ecuación (8.1) se llega a:

$$T = kT_j - T_a = W (R_{jc} + R_{cd} + R_{da}) \tag{8.2}$$

Dónde W representa la potencia en vatios (calor) que disipará el componente y T_a es la temperatura ambiental.

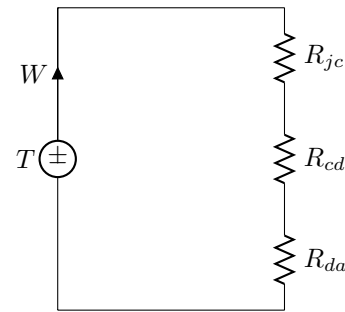
El flujo de calor, desde la unión PN hasta el ambiente tiene que atravesar varios medios, cada uno con diferente resistencia térmica.

- Resistencia unión-cápsula (R_{jc}). Viene dado en manuales y tablas del dispositivo, y depende de la construcción de la cápsula. El tipo TO-3 disipa gran cantidad de calor.
- Resistencia cápsula-disipador (R_{cd}). Depende del encapsulado y del aislamiento, si lo hay, entre el componente y el disipador. El aislante puede ser mica, pasta de silicona y otros medios. Cada uno presenta diferente resistencia térmica.
- Resistencia disipador-ambiente (R_{da}). Este es el que se calcula para diseño.

Finalmente, a partir de la Ecuación (8.2) se encuentra la expresión final para diseño:

$$R_{da} = \frac{kT_j - T_a}{W} - R_{jc} - R_{cd} \tag{8.3}$$

Con el valor calculado de R_{da} se determina que disipador de calor se debe usar. En la Figura (8.3) se muestra la referencia de los disipadores, incluyendo sus dimensiones, en función de su resistencia térmica.



- $T = T_j - T_a$
- $T_j = \text{Temperatura de la union}$
- $T_a = \text{Temperatura ambiental}$
- $W = \text{Potencia disipada}$
- $R_{jc} = \text{Resist. termica union - capsula}$
- $R_{cd} = \text{Resist. termica capsula - disipador}$
- $R_{da} = \text{Resist. termica disipador - ambiente}$

Figura 8.2: Equivalente térmico para disipación de calor

DISIPADORES TERMICOS					
Disipadores de aluminio. Otras geometrías y largos disponibles por importación directa. Opción de importación					
CODIGO	Ancho x Alto x Largo (mm)	ESPESOR (mm)	SUPERFICIE xmm	SA °C/W	FIG
52-12220	Para TO-220				1
52-301100	58x29x100	3,5	248mm ²	3.5°	2
52-301200	58x29x100	3,5	248mm ²	3.5°	2
52-302110	145x50x100		1700mm ²	0.98 (75mm)	3
52-303050	50x14x50	2,0	252mm ²	5.0 (75mm)	4
52-303100	50x14x100	2,0	252mm ²	5.0 (75mm)	4
52-305100	70x15x100		345mm ²	5.1 (75mm)	5
52-306100	80x30x100	3,75	530mm ²	2.9 (75mm)	6
52-314100	104x36,8x100		782mm ²	2.0 (75mm)	7
52-316100	16x17x100		812mm ²	2.2 (75mm)	8
52-320100	69x122x100		1080mm ²	0.9 (100mm)	9
52-323100	120x120x100		1593mm ²	0.65 (100mm)	10
52-328100	104x25,4x100	4,75	580mm ²	2.9 (75mm)	11
52-332100	120x11x100		305mm ²	4.2 (75mm)	12
52-332200	120x11x200		305mm ²	4.2 (75mm)	12
52-335050	35x12,7x50		193mm ²	9.2 (75mm)	13
52-341100	100x100x100			0.8 (75mm)	14
52-353100	120x62,5x100		1200mm ²	1.5 (75mm)	15

Figura 8.3: Disipadores térmicos

8.1.1.1. Dimensionamiento disipadores de calor de los dispositivos de potencia del rectificador controlado

Los dispositivos de potencia del rectificador controlado fueron dimensionados en la Subsección 6.1.2. Es necesario dimensionar los disipadores de calor de los dos elementos; en primera instancia respecto al Mosfet observando su hoja de datos ilustrada en la *Figura (6.5)* se extraen los siguientes valores de sus parámetros:

$$R_{jc} = 0,53^{\circ}C/W$$

$$T_j = 150^{\circ}C$$

$$R_{on} = 0,19\Omega$$

$$t_{f(max)} = 160ns$$

El primer paso es determinar la potencia total disipada por el dispositivo, para ello se aplica la siguiente expresión obtenida de [21]:

$$W_{total} = W_c + W_s = R_{on}I_D^2 + \frac{I_D \times V_{DD} \times t_f \times f}{3}$$

Los valores de I_D y V_{DD} son respectivamente, 7,7A y 250,31V los cuales fueron determinados en la Subsección 6.1.2. La frecuencia de conmutación del dispositivo está representada por el término f y se le asigna un valor de 100kHz el cual es la máxima frecuencia a la que conmuta el Mosfet.

Entonces, la potencia disipada por el dispositivo es de:

$$W_{total} = 0,19\Omega \times (7,7A)^2 + \frac{7,7A \times 250,31V \times 160ns \times 100kHz}{3} = 21,55W$$

Para todos los diseños se toma un valor de temperatura ambiental de $T_a = 25^{\circ}C$ y al usarse un aislante de mica se toma una resistencia $R_{cd} = 1,4^{\circ}C/W$. Se utiliza un valor de k de 0.7.

Aplicando la *Ecuación (8.3)* se obtiene:

$$R_{da} = \frac{0,7 \times 150^{\circ}C - 25^{\circ}C}{21,55W} - 0,53^{\circ}C/W - 1,4^{\circ}C/W = 1,78^{\circ}C/W$$

Con base en el resultado anterior se selecciona un disipador de referencia 52-353100 el cual tiene asociada una resistencia térmica de $1,5^{\circ}C/W$, las características de este se muestran en la tabla ilustrada en la *Figura (8.3)*.

El rectificador controlado posee otro dispositivo de potencia, el diodo, los datos relevantes para el dimensionamiento de su disipador se muestran a continuación (*Figura (6.9)*):

$$R_{jc} = 4,25^{\circ}C/W$$

$$T_j = 175^{\circ}C$$

$$v_f = 1,5V$$

Para determinar la potencia disipada por este dispositivo no controlado, es necesario tener en cuenta la corriente que fluye a través de él cuando se encuentra en estado de conducción, este valor fue determinado en la Subsección 6.1.2: $I_f = 7,7A$. De esta manera la potencia disipada por el diodo es de $W = 1,5V \times 7,7A = 11,55W$.

Aplicando la *Ecuación (8.3)* se obtiene:

$$R_{da} = \frac{0,7 \times 175^{\circ}C - 25^{\circ}C}{11,55W} - 4,25^{\circ}C/W - 1,4^{\circ}C/W = 2,79^{\circ}C/W$$

Apreciando en la tabla de la *Figura (8.3)* el disipador de referencia 52-316100 tiene asociada una resistencia de valor inferior a $2,79^{\circ}C/W$, por lo tanto se selecciona este elemento.

8.1.1.2. Dimensionamiento disipadores de calor de los dispositivos de potencia del convertidor buck

Los dispositivos de potencia del convertidor buck fueron dimensionados en la Subsección 7.1.2. Al igual que lo realizado anteriormente para el rectificador controlado, es necesario dimensionar los disipadores de calor de los dispositivos de potencia utilizados en el convertidor buck, estos son: un transistor tipo Mosfet y un diodo de potencia de alta velocidad.

Los datos requeridos para el dimensionamiento del disipador del Mosfet, extraídos de su hoja de datos ilustrada en la *Figura (7.3)*, son los siguientes:

$$R_{jc} = 1,15^{\circ}C/W$$

$$T_j = 175^{\circ}C$$

$$R_{on} = 0,044\Omega$$

$$t_{f(max)} = 35ns$$

Para calcular la potencia disipada por el Mosfet se requieren saber los valores de I_D y V_{DD} los cuales son respectivamente, $4,24A$ y $81,05V$, estos fueron determinados en la Subsección 7.1.2. La frecuencia de conmutación del dispositivo está representada por el término f y tiene un valor de $50kHz$.

Entonces, la potencia disipada por el dispositivo es de:

$$W_{total} = 0,044\Omega \times (4,24A)^2 + \frac{4,24A \times 81,05V \times 35ns \times 50kHz}{3} = 0,9914W$$

Aplicando la *Ecuación (8.3)* se obtiene:

$$R_{da} = \frac{0,7 \times 175^{\circ}C - 25^{\circ}C}{0,9914W} - 1,15^{\circ}C/W - 1,4^{\circ}C/W = 95,79^{\circ}C/W$$

La resistencia calculada es considerablemente alta, lo cual es muestra que el dispositivo no requiere de forma crítica el uso de un disipador. Sin embargo se selecciona uno de dimensiones pequeñas, como el de referencia 52-303050.

Los datos relevantes del diodo extraídos de la *Figura (7.8)* son los siguientes:

$$R_{jc} = 1,5^{\circ}C/W$$

$$T_j = 175^{\circ}C$$

$$v_f = 1,05V$$

Para determinar la potencia disipada por este dispositivo no controlado, es necesario tener en cuenta la corriente que fluye a través de el cuando se encuentra en estado de conducción, este valor fue determinado en la Subsección 7.1.2: $I_f = 1,4137A$. De esta manera la potencia disipada por el diodo es de $W = 1,05V \times 1,4137A = 1,48W$.

Aplicando la *Ecuación (8.3)* se obtiene:

$$R_{da} = \frac{0,7 \times 175^{\circ}C - 25^{\circ}C}{1,48W} - 1,5^{\circ}C/W - 1,4^{\circ}C/W = 62,3^{\circ}C/W$$

Para este dispositivo la resistencia térmica requerida para el disipador es considerablemente alta también, por esta razón se selecciona el mismo disipador establecido para el Mosfet.

8.1.2. Protección contra sobrecorriente

Para proteger al sistema contra contingencias de sobrecorriente, se utilizará un fusible adyacente a la bobina de entrada del rectificador controlado. Los criterios para la selección de este elemento son los siguientes:

$$V_{trabajo(AC)RMS} > (V_{ac(max)RMS} = 177V_{RMS})$$

$$(I_{ac(max)} = 3,44A) < I_{trabajo} < (I_{D(max)} = 13,8A)$$

$$I^2 t_{fusible} < (I^2 t_{Mosfet} = 70A^2s)$$

Las condiciones anteriores están orientadas a la protección del dispositivo de potencia controlado (Mosfet), para ello se considera que este está expuesto directamente a la corriente de línea. Con base en lo anterior se selecciona un fusible de referencia LA60Q5-2 (*Figura (8.4)*) el cual cumple con los requerimientos anteriores.

Ampere Rating	Littelfuse Catalog Number	Mounting Type	Maximum Clearing Pt @600 VAC (A·S)	Watts Loss @ Rated Current (W)
5	LA60Q5-2	2	60	0.7
8	LA60Q8-2	2	70	1.1
10	LA60Q10-2	2	110	1.6
12	LA60Q12-2	2	150	2
15	LA60Q15-2	2	180	3
20	LA60Q20-2	2	330	4.4
25	LA60Q25-2	2	440	5.5
30	LA60Q30-2	2	860	5.6
35	LA60Q35-2	2	1300	6.4
40	LA60Q40-2	2	1800	7

Specifications

Voltage Rating: AC: 600 volts
DC: 600 volts

Figura 8.4: Características fusible seleccionado

8.1.3. Protección contra sobrevoltaje

Para proteger al sistema contra contingencias de sobrevoltaje se utilizará un varistor, el cual es un elemento que proporciona una protección fiable y económica contra transitorios de alto voltaje que pueden ser producidos, por ejemplo, por relámpagos, conmutaciones o ruido eléctrico en líneas de transmisión y distribución de energía. El varistor cambia su resistencia de un valor alto a uno muy bajo ante la presencia de transitorios de voltaje y de esta manera protege al circuito que se encuentra en paralelo a este. Los criterios para la selección de este elementos son los siguientes:

$$V_{trabajo(AC)RMS} > (V_{ac(max)RMS} = 177V_{RMS})$$

$$(V_{ac(max)} = 250,3134V) < V_{nominal} < (V_{DSS(max)} = 400V)$$

Las condiciones anteriores están orientadas a la protección del dispositivo de potencia controlado (Mosfet), para ello se considera que este está expuesto directamente a la tensión de línea. Con base en lo anterior se selecciona un varistor de referencia 1V250 (*Figura (8.5)*) el cual cumple con los requerimientos anteriores.

Electrical Characteristics:

NTE Type Number	Case Diameter	Maximum Ratings (T _A = 25°C)				Characteristics		
		Continuous		Transient		Nominal Varistor Voltage @ I _{MA} DC Test Current (Volts)	Maximum Clamping Voltage, V _C @ I _{Test} Current (8/20μs) (Volts)	Transient Power Dissipation (Watts)
		RMS Voltage (Volts) V _m (AC)	DC Voltage (Volts) V _m (DC)	Energy (10/1000μs) (Joules) W _{TM}	Peak Current (8/20μs) (Amps) I _{TM}			
1V010	8.5mm	10	12	0.8	250	18	45	0.25
2V010	16mm	10	12	3.5	1000	18	45	0.60
1V014	8.5mm	14	18	1.2	250	22	55	0.25
2V014	16mm	10	12	4.0	1000	22	55	0.60
1V015	8.5mm	15	20	1.0	250	24	52	0.25
2V015	16mm	15	20	4.5	1000	24	48	0.60
1V017	8.5mm	17	22	1.3	250	27	60	0.25
2V017	16mm	17	22	5.0	1000	27	60	0.60
1V020	8.5mm	20	26	1.5	250	33	70	0.25
1V250	8.5mm	240	320	20.0	1200	390	630	0.25

Figura 8.5: Características varistor seleccionado

8.2. Circuito de Alimentación

Ciertos integrados seleccionados anteriormente requieren de alimentación DC para su funcionamiento, tal como el Controlador Digital de Señales (dsPIC) el cual opera en un rango de tensiones comprendido entre 3V y 3,6V (se ha seleccionado para este trabajo una tensión nominal de 3,3V), el Driver TC4420 que opera en un rango de 4,5V a 18V (se selecciona una tensión de 15V), el controlador de PWM TL494 opera entre 7V y 40V (seleccionándose 15V), y el Driver IR2110 que opera entre los 10V y 20V (se ha tomado una tensión de alimentación de 15V).

Como es posible notar en el párrafo anterior, básicamente son requeridos dos niveles de tensión DC para alimentar a todos los integrados activos requeridos, estos son 3,3V y 15V. Con el fin de unificar a 15V la tensión DC que entre al sistema para su operación, es requerido diseñar un circuito de alimentación el cual internamente regule los 3,3V a partir de 15V de entrada, esto es posible lograrlo mediante la utilización de un regulador ajustable, el LM338. Este integrado proporciona hasta 5A y por medio de la programación mediante resistencias es posible configurar la tensión deseada a la salida.

En la hoja de datos de este regulador se encuentra el siguiente circuito propuesto:

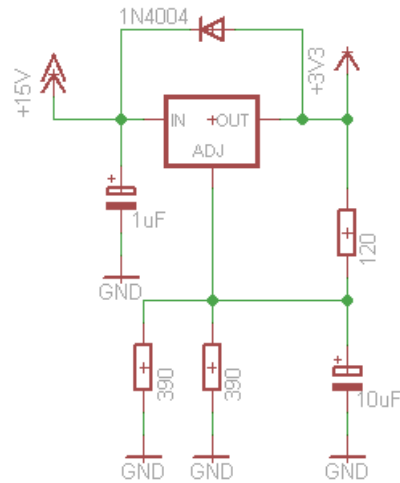


Figura 8.6: Circuito de alimentación

La tensión de salida se calcula por medio de la siguiente ecuación disponible en su hoja de datos:

$$V_{out} = 1,25V \left(1 + \frac{R_2}{R_1} \right)$$

Siendo la resistencia $R_2 = 195\Omega$ la cual es producto del paralelo entre dos resistencias de 390Ω , y la resistencia $R_1 = 120\Omega$, entonces se obtiene:

$$V_{out} = 1,25V \left(1 + \frac{195\Omega}{120\Omega} \right) = 3,28V$$

Los pequeños condensadores que se observan en el circuito son para filtrado y el diodo para protección. Las resistencias se dimensionan a $\frac{1}{4}W$.

Parte V

Simulación

Capítulo 9

Esquemáticos diseñados

El sistema general del Corrector de Armónicos está conformado por dos “subsistemas” en cascada: un rectificador controlado (Topología Sepic) y un convertidor DC-DC (Topología Buck). Los esquemáticos del primer subsistema se muestran en las *Figuras (9.1), (9.2) y (9.3)*. El esquemático ilustrado en la *Figura (9.1)* corresponde al bloque encargado de la rectificación de la tensión de línea, además posee un condensador de filtrado (C_f) que opera cuando se requiera alimentar al Convertidor Buck de manera independiente, de manera que este bloque posee una función dual: Rectificar la tensión de línea para alimentar al circuito representado en el esquemático de la *Figura (9.2)* o rectificar y filtrar la tensión de línea para alimentar al esquemático de la *Figura (9.4)*. El objetivo de alimentar de forma independiente al convertidor buck es apreciar la distorsión armónica y la forma de onda de la corriente de línea, y confrontar estos resultados con los análogos obtenidos a través del corrector de armónicos.

Como fue descrito en la Sección 7.2, se realizó una comparación entre los resultados obtenidos en el diseño del Convertidor Buck, utilizando un controlador proporcional y por otro lado utilizando un controlador diseñado a través del Factor K. Lo anterior también se hará dicente en esta Parte del trabajo, por ello se aprecian en las *Figuras (9.4), (9.5) y (9.6)*, el esquemático de la etapa de potencia del Convertidor Buck, el esquemático de la etapa de control utilizando un controlador proporcional, y el esquemático del controlador diseñado a través del Factor K, respectivamente.

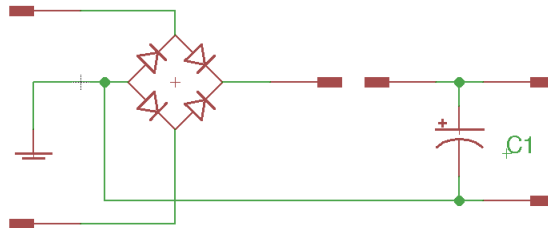


Figura 9.1: *Esquemático etapa de rectificación-filtración*

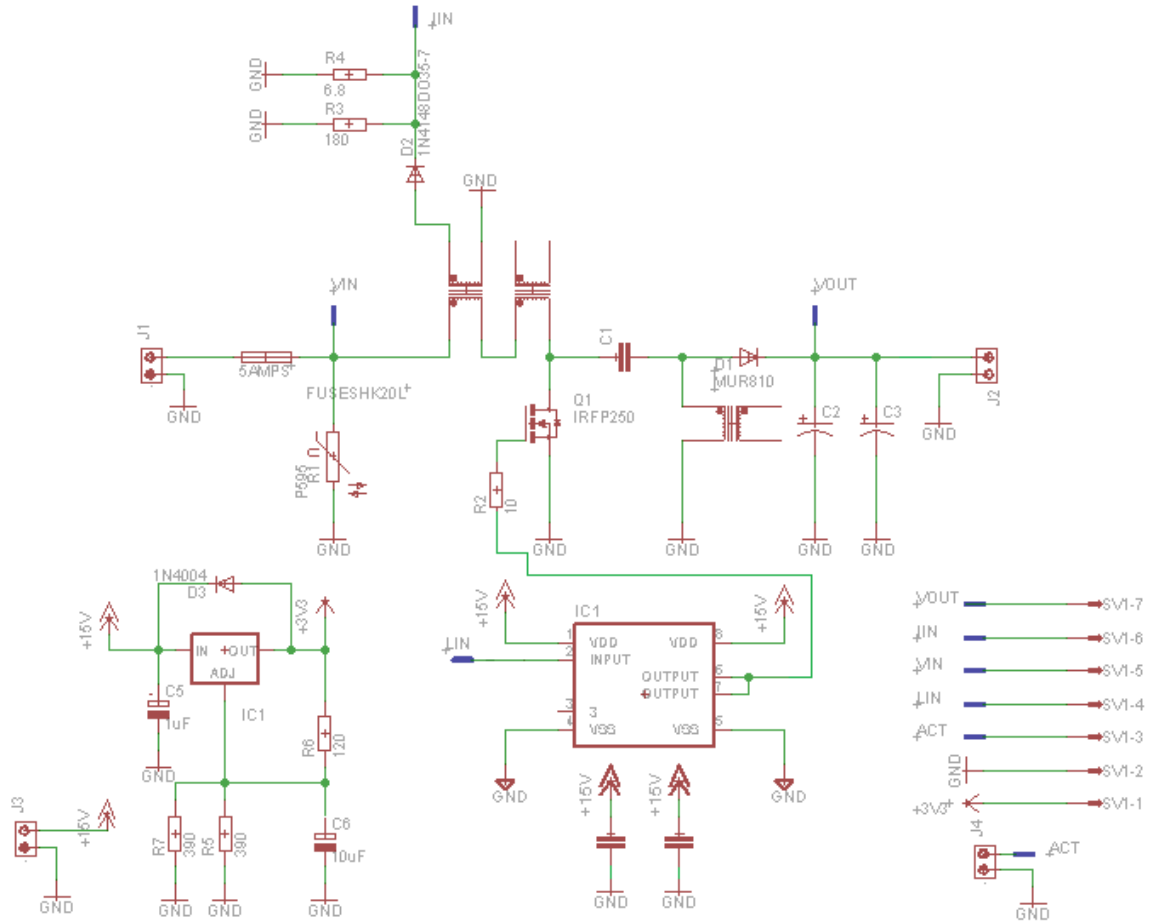


Figura 9.2: Esquemático etapa de potencia Rectificador Controlado

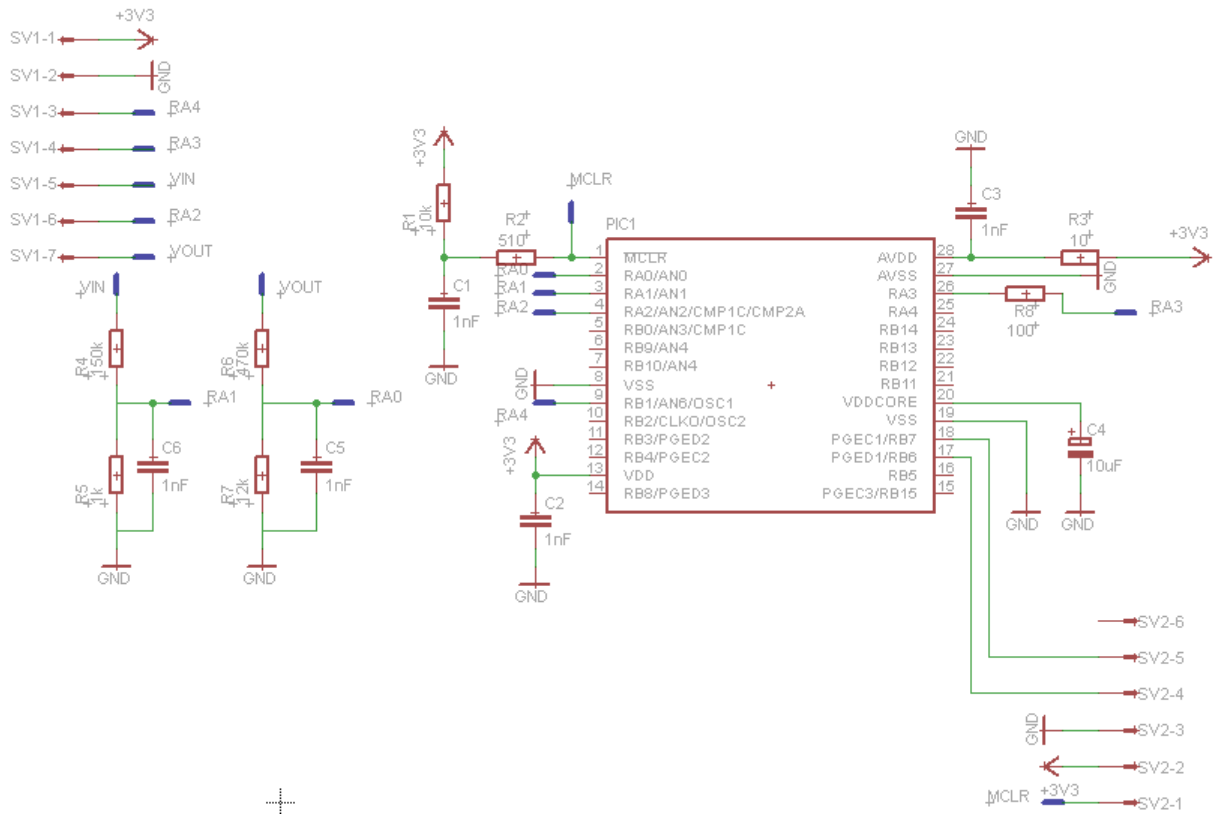


Figura 9.3: Esquemático etapa de control Rectificador Controlado

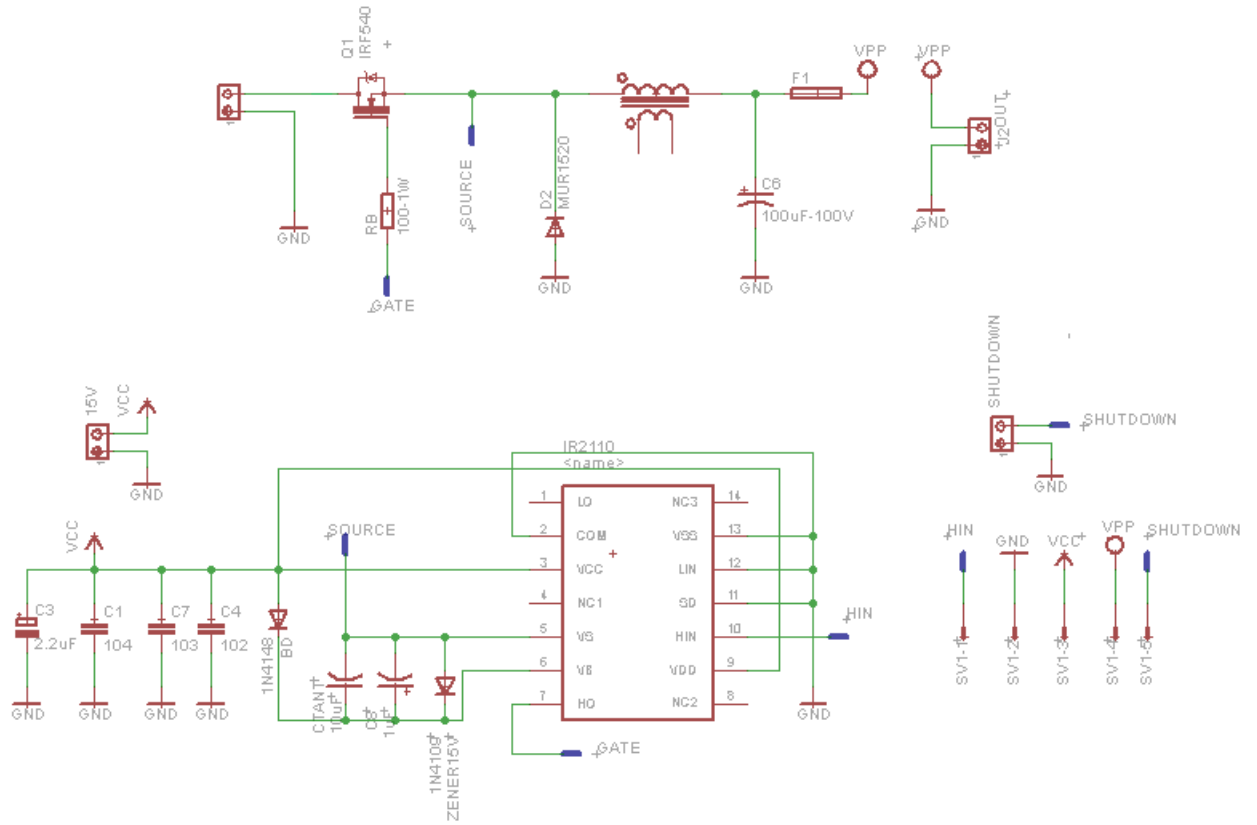


Figura 9.4: Esquemático etapa de potencia Convertidor Buck

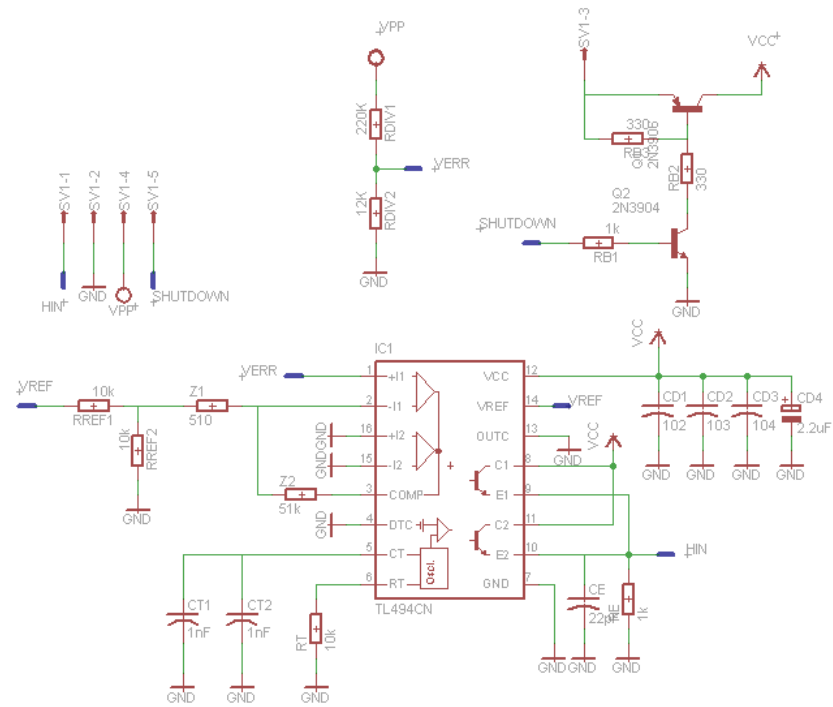


Figura 9.5: Esquemático etapa de control Convertidor Buck - Control Proporcional

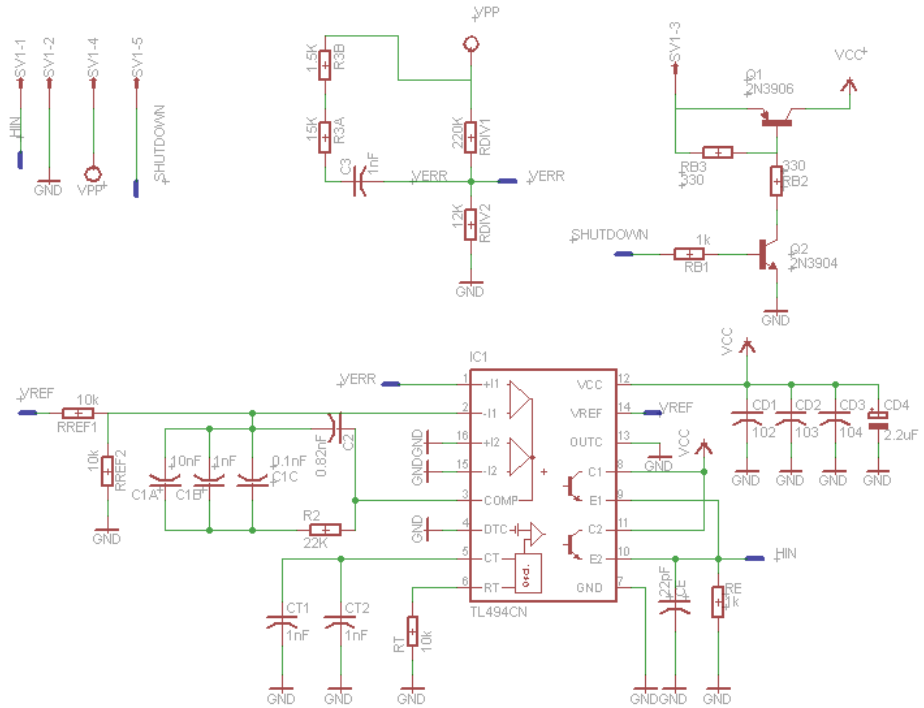


Figura 9.6: Esquemático etapa de control Convertidor Buck - Control Factor K

Capítulo 10

Resultados de las Simulaciones

Para la simulación de los sistemas diseñados se utiliza el software especializado *Powersim*, en el cual se simula el funcionamiento general del Convertidor Buck y el Corrector de Armónicos.

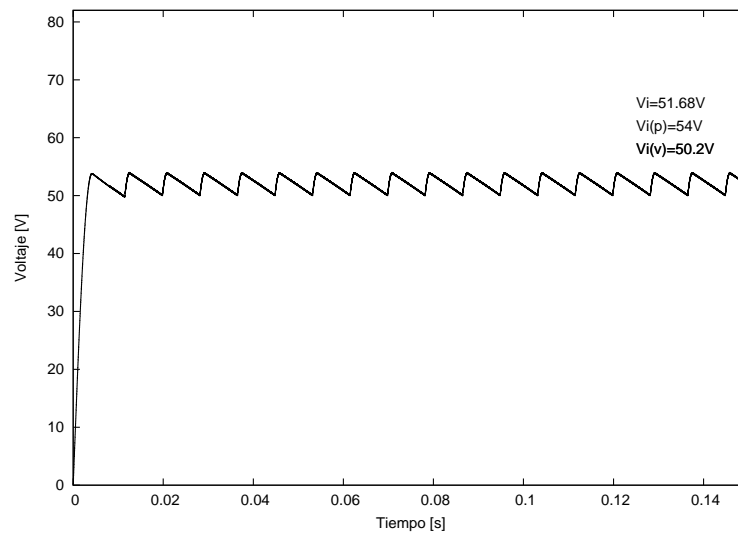
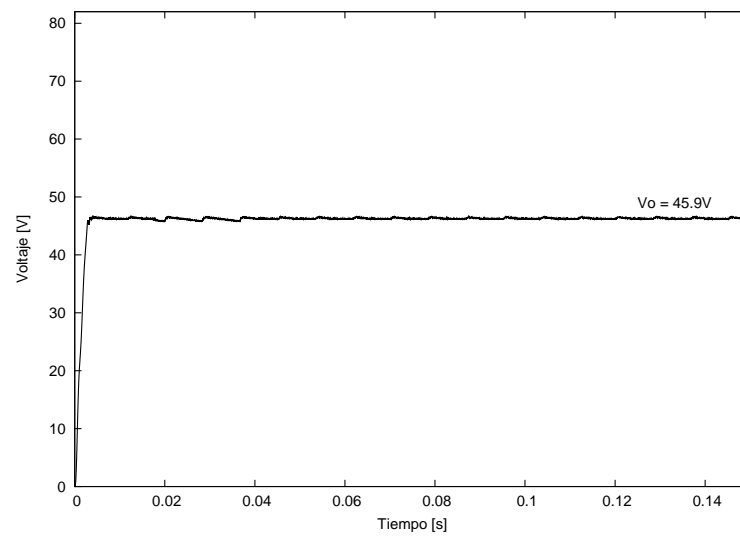
10.1. Convertidor Buck

Se simula en el software *Powersim* los circuitos mostrados en los esquemáticos de las *Figuras (9.1), (9.4), (9.5) y (9.6)*. Es fácil notar que para este caso el condensador de filtrado ilustrado en la *Figura (9.1)* está en operación. A continuación se muestran los resultados para cada caso.

10.1.1. Variables de Gran Señal

10.1.1.1. Voltaje de entrada mínimo - Controlador Proporcional

La tensión de entrada al convertidor buck se aprecia en la *Figura (10.1)*, allí se observa que esta presenta un rizado, alcanzando un voltaje máximo de $54V$ y un voltaje mínimo de $50V$. La tensión de salida ($V_o(t)$) para una resistencia de $R_o = 12,8\Omega$ de carga se muestra en la *Figura (10.2)*, el valor promedio es de $45,9V$. La potencia de salida es de $164,6W$. La corriente de línea ($I_{ac}(t)$) se muestra en *Figura (10.3)*, el valor de la distorsión armónica de corriente es de $213,28\%$. El factor de potencia total es $0,33$.

Figura 10.1: Voltaje de entrada ($V_{i(min)}(t)$)Figura 10.2: Voltaje de salida ($V_o(t)$) para $V_{i(min)}$ – Controlador Proporcional

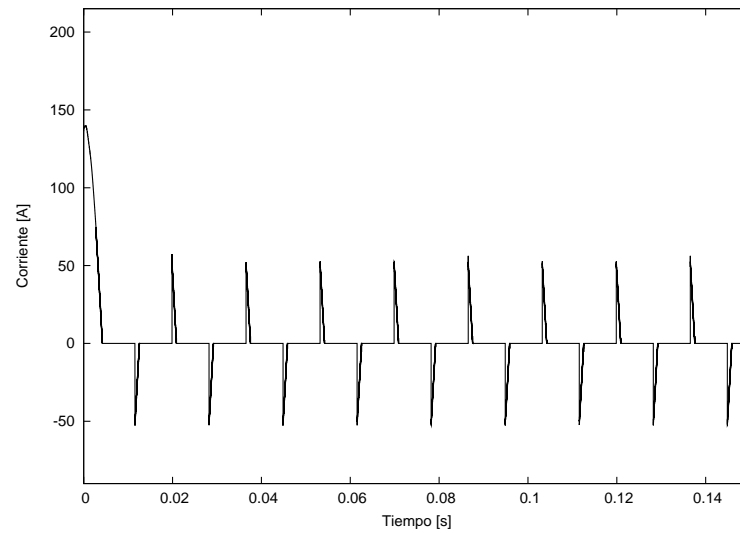


Figura 10.3: Corriente de línea ($I_{ac}(t)$) para $V_{i(min)}$ – Controlador Proporcional

10.1.1.2. Voltaje de entra mínimo - Controlador Factor K

La tensión de entrada es la misma que en el caso anterior. La tensión de salida ($V_o(t)$) para una resistencia de $R_o = 12,8\Omega$ se muestra en la *Figura (10.4)*, el valor promedio es de $48V$. La potencia de salida es igual a $180,05W$. La corriente de línea ($I_{ac}(t)$) se muestra en *Figura (10.5)*, el valor de la distorsión armónica de corriente es de $207,31\%$. El factor de potencia total es 0.31 .

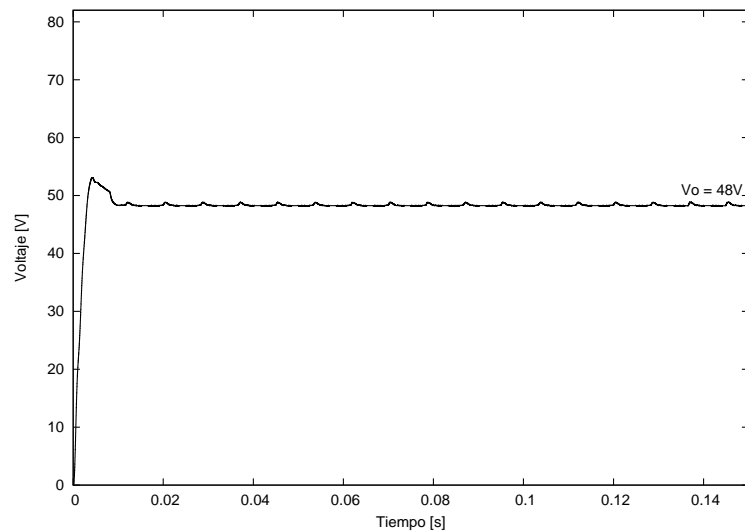


Figura 10.4: Voltaje de salida ($V_o(t)$) para $V_{i(min)}$ – Controlador Factor K

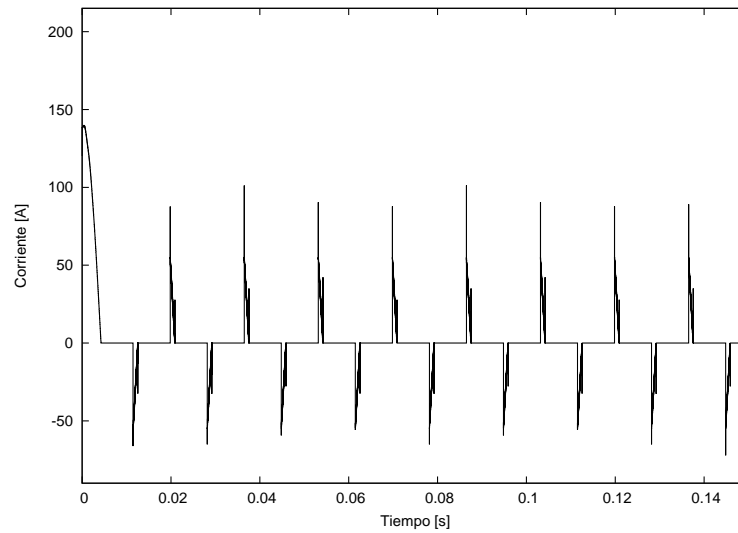


Figura 10.5: Corriente de línea ($I_{ac}(t)$) para $V_{i(min)}$ – Controlador Factor K

10.1.1.3. Voltaje de entrada nominal - Controlador Proporcional

La tensión de entrada al convertidor buck para este caso se aprecia en la *Figura (10.6)*, obsérvese el rizado presente en esta señal. La tensión de salida ($V_o(t)$) para una resistencia de $R_o = 12,8\Omega$ se muestra en la *Figura (10.7)*, el valor promedio es de $46,1V$. La potencia de salida es igual a $166,4W$. La corriente de línea ($I_{ac}(t)$) se muestra en *Figura (10.8)*, el valor de la distorsión armónica de corriente es de 240.51% . El factor de potencia total es 0.38 .

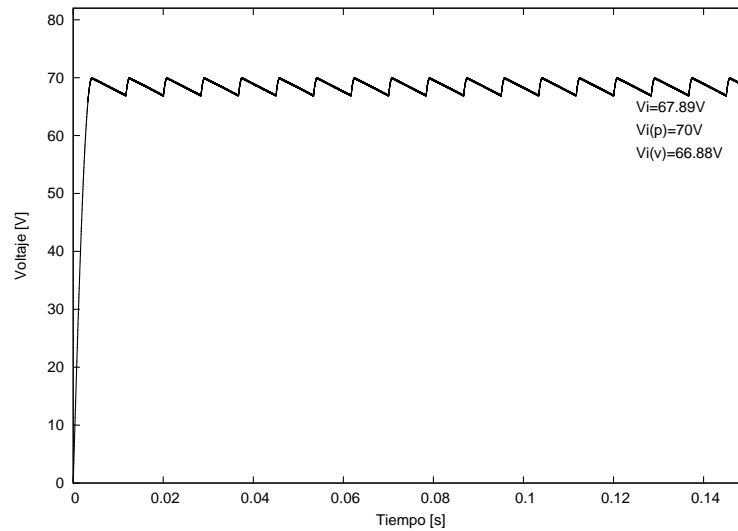


Figura 10.6: Voltaje de entrada ($V_{i(nom)}(t)$)

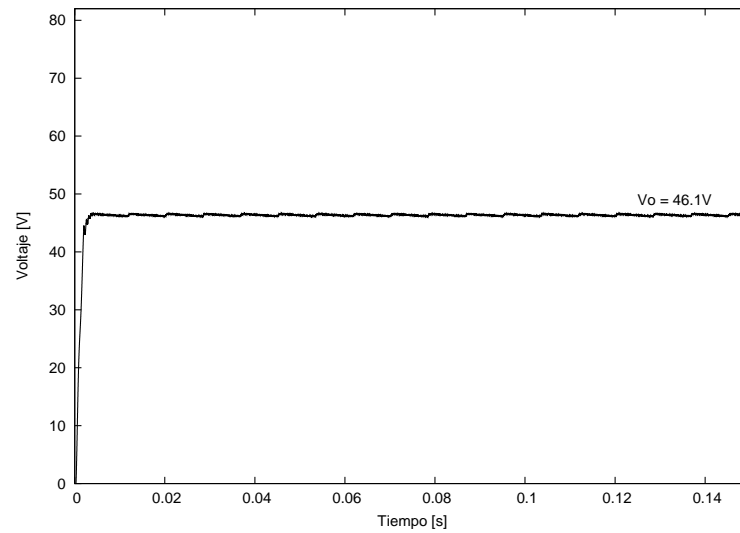


Figura 10.7: Voltaje de salida ($V_o(t)$) para $V_{i(nom)}$ – Controlador Proporcional

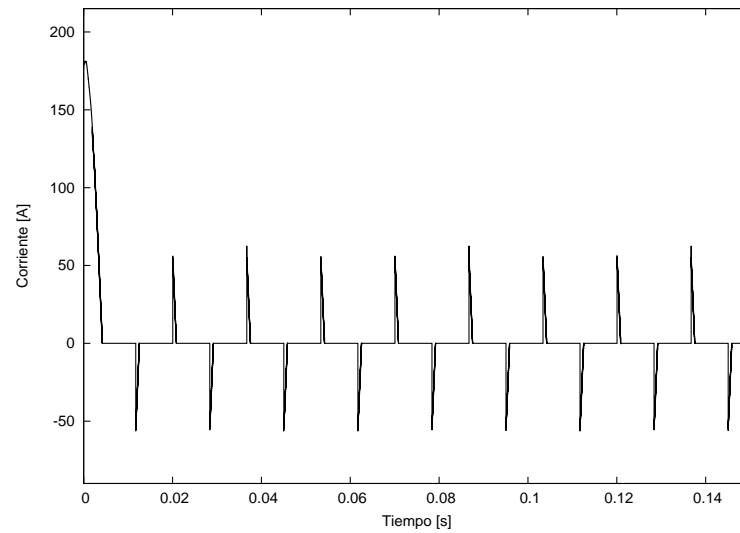


Figura 10.8: Corriente de línea ($I_{ac}(t)$) para $V_{i(nom)}$ – Controlador Proporcional

10.1.1.4. Voltaje de entrada nominal - Controlador Factor K

La tensión de entrada al convertidor buck para este caso es la misma anterior. La tensión de salida ($V_o(t)$) para una resistencia de $R_o = 12,8\Omega$ se muestra en la *Figura (10.9)*, el valor promedio es de $47,6V$. La potencia de salida es igual a $177,04W$. La corriente de línea ($I_{ac}(t)$) se muestra en *Figura (10.10)*, el valor de la distorsión armónica de corriente es de $244,5\%$. El factor de potencia total es $0,38$.

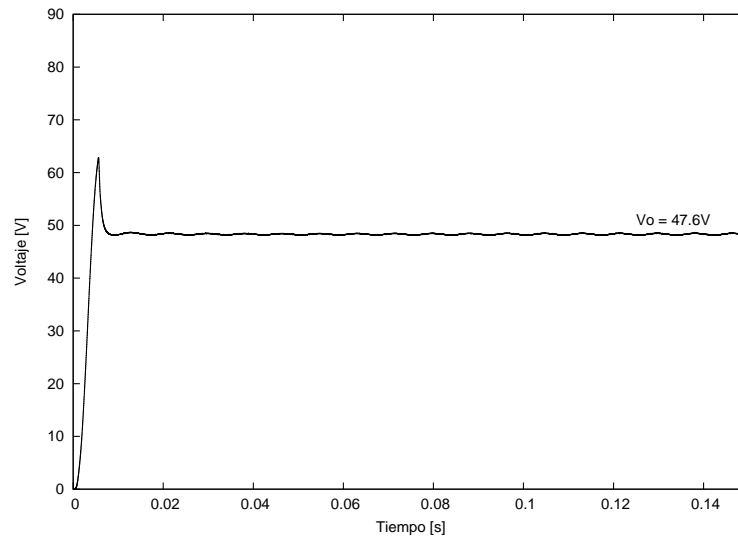


Figura 10.9: Voltaje de salida ($V_o(t)$) para $V_{i(nom)}$ – Controlador Factor K

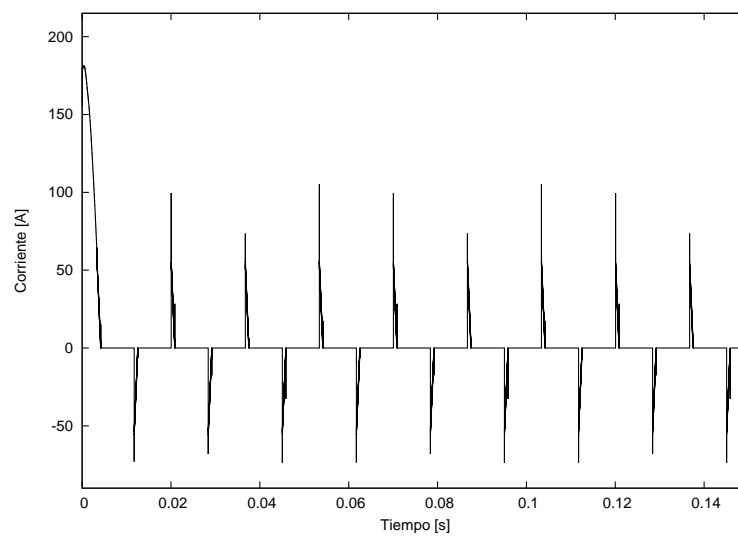
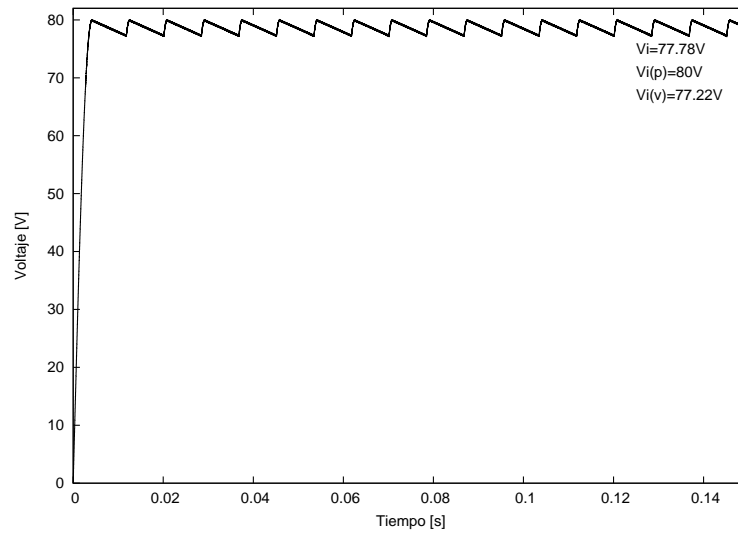
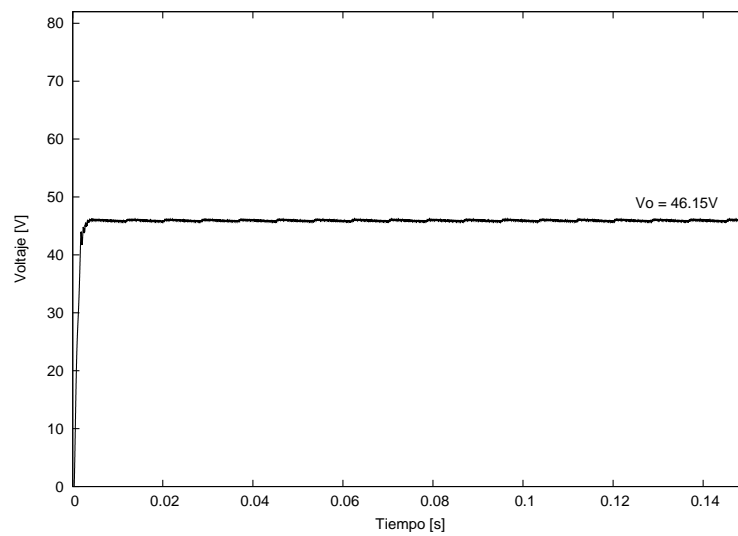


Figura 10.10: Corriente de línea ($I_{ac}(t)$) para $V_{i(nom)}$ – Controlador Factor K

10.1.1.5. Voltaje de entrada máximo - Controlador Proporcional

La tensión de entrada al convertidor buck para este caso se aprecia en la *Figura (10.11)*, obsérvese el rizado presente en esta señal. La tensión de salida ($V_o(t)$) para una resistencia de $R_o = 12,8\Omega$ se muestra en la *Figura (10.12)*, el valor promedio es de $49,96V$. La potencia de salida es igual a $195W$.

La corriente de línea ($I_{ac}(t)$) se muestra en *Figura (10.13)*, el valor de la distorsión armónica de corriente es de 256.56% . El factor de potencia total es 0.38 .

Figura 10.11: Voltaje de entrada ($V_{i(max)}(t)$)Figura 10.12: Voltaje de salida ($V_o(t)$) para $V_{i(max)}$ – Controlador Proporcional

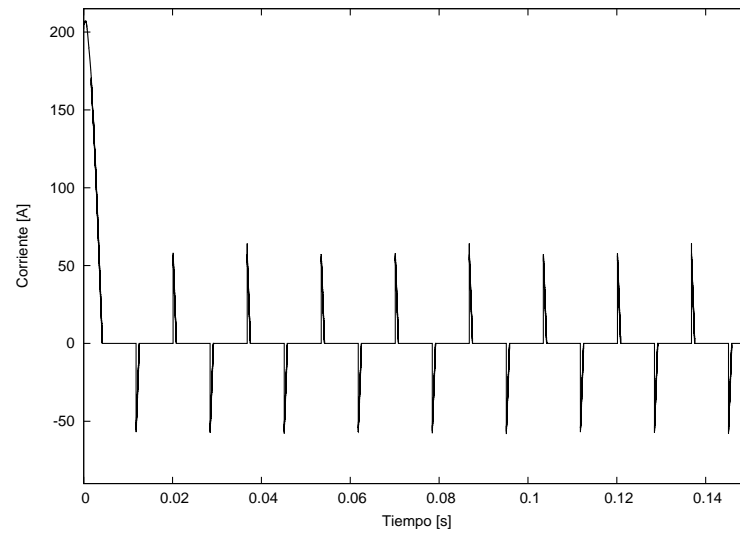


Figura 10.13: Corriente de línea ($I_{ac}(t)$) para $V_{i(max)}$ – Controlador Proporcional

10.1.1.6. Voltaje de entrada máximo - Controlador Factor K

La tensión de entrada al convertidor buck para este caso es la misma anterior. La tensión de salida ($V_o(t)$) para una resistencia de $R_o = 12,8\Omega$ se muestra en la *Figura (10.14)*, el valor promedio es de $48,17V$. La potencia de salida es igual a $181,31W$. La corriente de línea ($I_{ac}(t)$) se muestra en *Figura (10.15)*, el valor de la distorsión armónica de corriente es de 262.9% . El factor de potencia total es 0.28 .

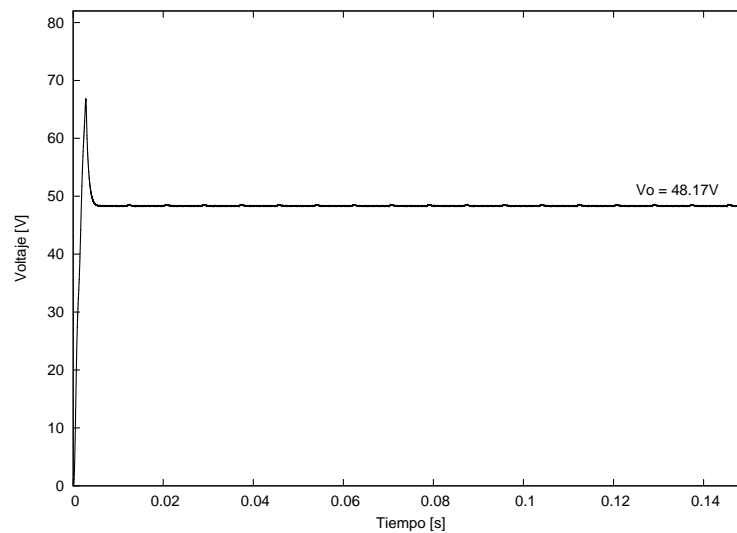


Figura 10.14: Voltaje de salida ($V_o(t)$) para $V_{i(max)}$ – Controlador Factor K

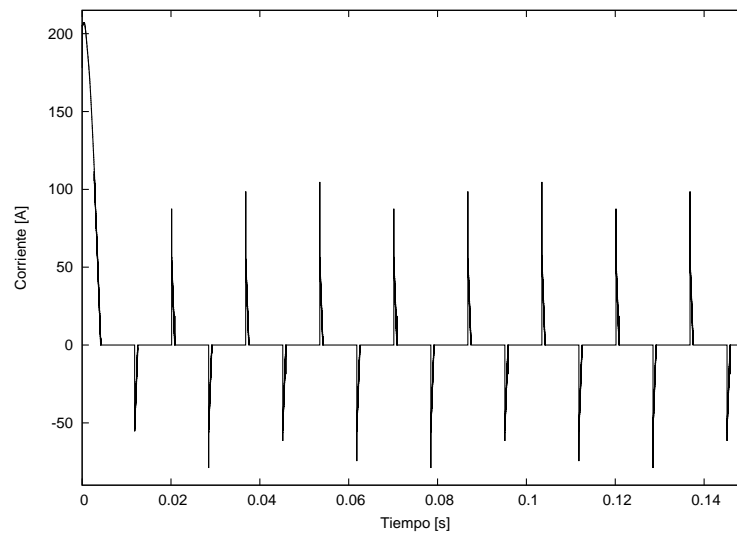


Figura 10.15: Corriente de línea ($I_{ac}(t)$) para $V_{i(max)}$ – Controlador Factor K

10.1.2. Variables de Pequeña Señal

10.1.2.1. Transitorio Control Proporcional

Para este caso se ha expuesto al convertidor a una perturbación en la carga para evaluar el comportamiento del correspondiente transitorio en la tensión de salida. Lo anterior es logrado mediante la conmutación de una resistencia de 68Ω a una frecuencia de $120Hz$ (la cual representan la perturbación), en paralelo con una resistencia de $R_o = 14,4\Omega$ que representa la carga estable. La forma del transitorio obtenida sin considerar las pérdidas de los elementos de este sistema (R_{on} , R_L , R_c) es mostrada en la *Figura (10.16)*, para este caso se consideró una tensión pura DC de entrada. El transitorio obtenido al considerar dichas pérdidas es obtenido en la *Figura (10.17)*, aquí se simularon todas las condiciones reales del sistema, incluyendo la variación de la tensión de entrada propia del filtrado de la tensión de línea.

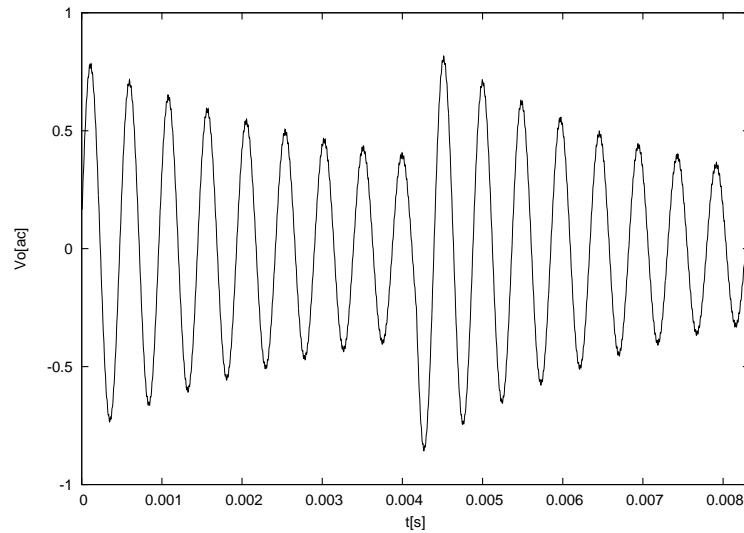


Figura 10.16: *Transitorio $V_o(t)$ con perturbación en carga sin considerar pérdidas—Control Proporcional*

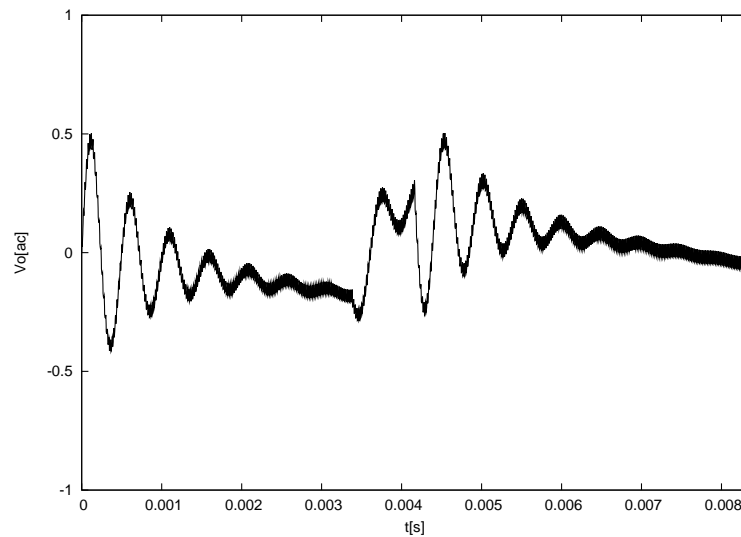


Figura 10.17: *Transitorio $V_o(t)$ con perturbación en carga considerando pérdidas—Control Proporcional*

10.1.2.2. Transitorio Control Factor K

Para este caso, al igual que en el anterior, se expone al convertidor a una perturbación en la carga para evaluar el comportamiento del correspondiente transitorio en la tensión de salida. La forma del transitorio sin considerar las pérdidas es mostrada en la *Figura (10.18)*, para este caso se consideró una tensión pura DC de entrada. Por otro lado el transitorio obtenido considerando las pérdidas se ilustra en la *Figura (10.19)*, incluyendo la variación de la tensión de entrada propia del filtrado de la tensión de línea.

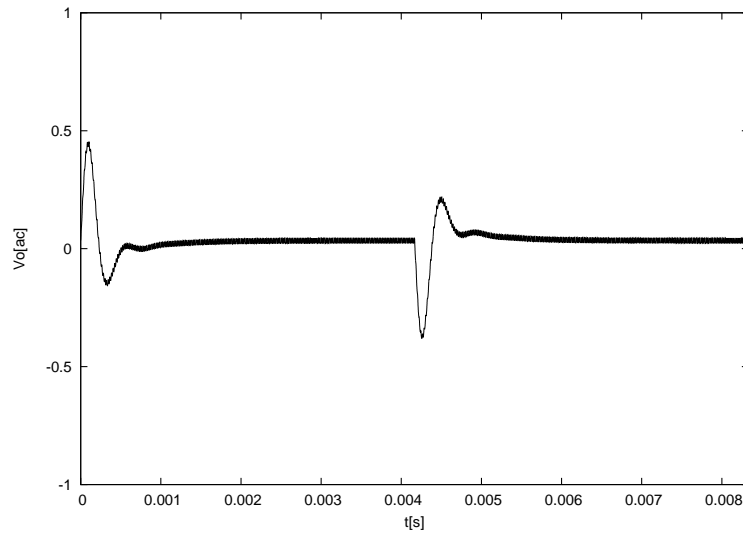


Figura 10.18: *Transitorio $V_o(t)$ con perturbación en carga sin considerar pérdidas—Control Factor K*

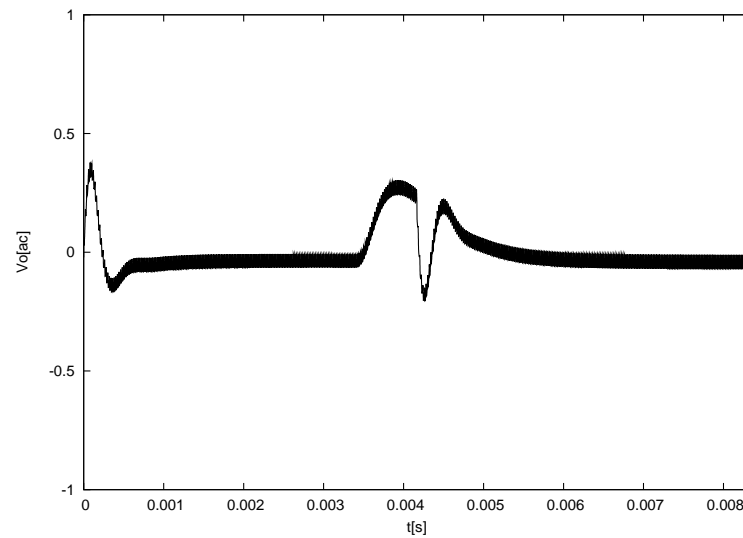


Figura 10.19: *Transitorio $V_o(t)$ con perturbación en carga considerando pérdidas—Control Factor K*

10.2. Corrector de Armónicos

Como ya se ha explicado a lo largo de este trabajo, el objetivo principal es mitigar la inyección de armónicos a la red que producen las cargas no lineales, tales como los convertidores de potencia, esto ha sido cuantizado en la anterior sección utilizando el porcentaje de distorsión armónica.

Mediante la simulación de los esquemáticos mostrados en las *Figuras (9.1), (9.2), (9.3)* se muestra la validez del Corrector de Armónicos diseñado, señalando que para cada caso la distorsión armónica de corriente de $I_{ac}(t)$ se encuentra dentro del margen establecido, e indicando los resultados de las variables principales del corrector (V_{out} , V_o , I_o). El Sistema general del corrector de armónicos a simular está conformado por el rectificador controlado en cascada con el Convertidor Buck controlado por el

compensador diseñado a través de la metodología del Factor K, dado que según los resultados mostrados en la Sección anterior esta técnica es mucha más robusta y precisa que el control proporcional.

Teniendo en cuenta las premisas detalladas en los *Cuadros (5.1) y (6.1)* se establecen los siguientes tres casos, en dónde se varía el voltaje RMS de entrada y se considera la carga máxima de diseño.

10.2.1. Voltaje de entrada mínimo

Para este caso se aplica un voltaje de entrada de $85V_{RMS}$. Obsérvese en la *Figura (10.20)* la forma de onda de la corriente de línea, la distorsión armónica total de esta señal es de 3.42 % y el factor de potencia es de 0.99. La potencia de salida es de $180.7W$.

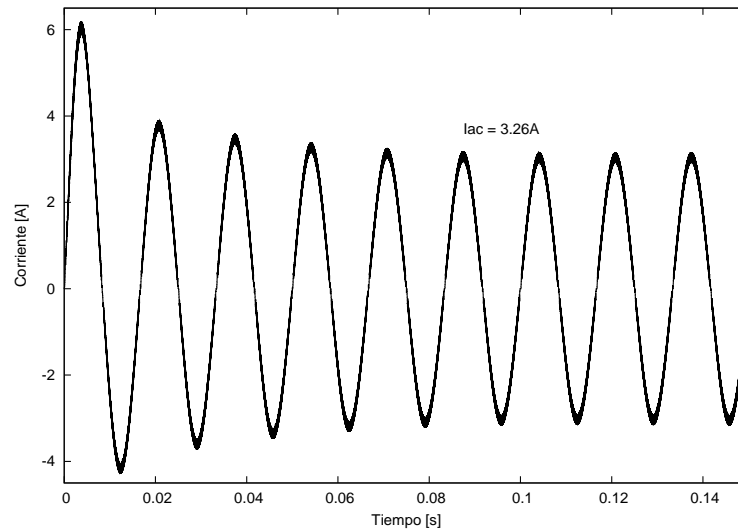


Figura 10.20: Corriente de línea ($I_{ac}(t)$) para $V_{ac(min)}$

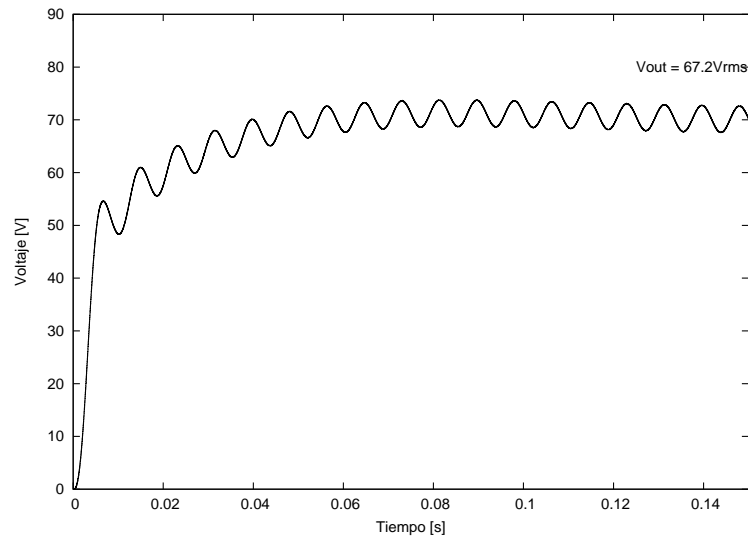


Figura 10.21: Voltaje de salida convertidor Sepic ($V_{out}(t)$) para $V_{ac(min)}$

La Figura (10.21) da validez al modelo de baja frecuencia utilizado para el diseño del controlador del convertidor SEPIC. Recuérdese que en el modelo presentado en el Apartado 5.1.5.3, en baja frecuencia el convertidor Sepic es presentado como un sistema de primer orden, donde la constante de tiempo del mismo está determinada por la capacitancia total de salida, y la resistencia de carga. Nótese además la presencia del armónico de $120Hz$ mencionado con anterioridad. La tensión promedio de salida es de $67.2V$, lo cual corresponde a un porcentaje de error del 4% .

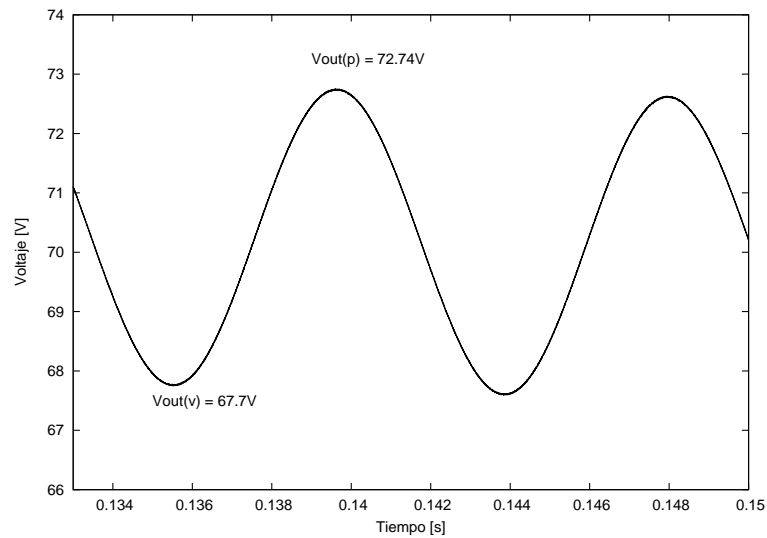


Figura 10.22: Rizado voltaje de salida convertidor Sepic ($\Delta V_{out(pp)}$) para $V_{ac(min)}$

La tensión de salida del rectificador controlado fue diseñada tal que $\Delta V_{C_{out}} = 2.64$, esto siempre

trabajando con las consideraciones de baja frecuencia, en la *Figura (10.22)* se vuelve a validar el modelo utilizado al notar que el rizado de la tensión de salida es de $2,52V$. El porcentaje de error es del 4.54%

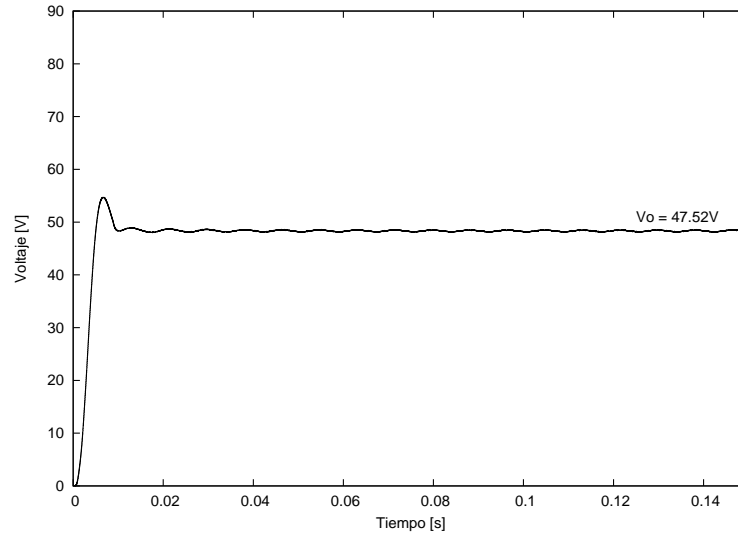


Figura 10.23: Voltaje de salida ($V_o(t)$) para $V_{ac(min)}$

En estado estable, la tensión de salida del sistema completo se desvía en $0.48V$ del valor ideal, lo cual corresponde a un error del 1% . Ténganse en cuenta además que la simulación predice que el transitorio de encendido es tal que no ocasionará daños a los elementos que se han seleccionado durante la etapa de diseño.

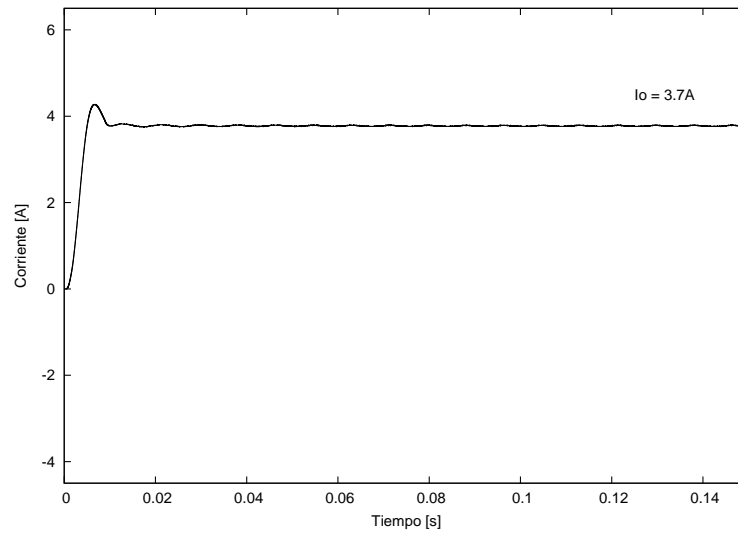


Figura 10.24: Corriente de salida ($I_o(t)$) para $V_{ac(min)}$

10.2.2. Voltaje de entrada nominal

Este ítem corresponde al voltaje de entrada de diseño nominal, considerando $127V_{RMS}$. La forma de onda de la corriente de línea es mostrada en la *Figura (10.25)*, la cual posee un THD_i de 5.13 % para un factor de potencia de 0.986. La potencia de salida es de 180,76W.

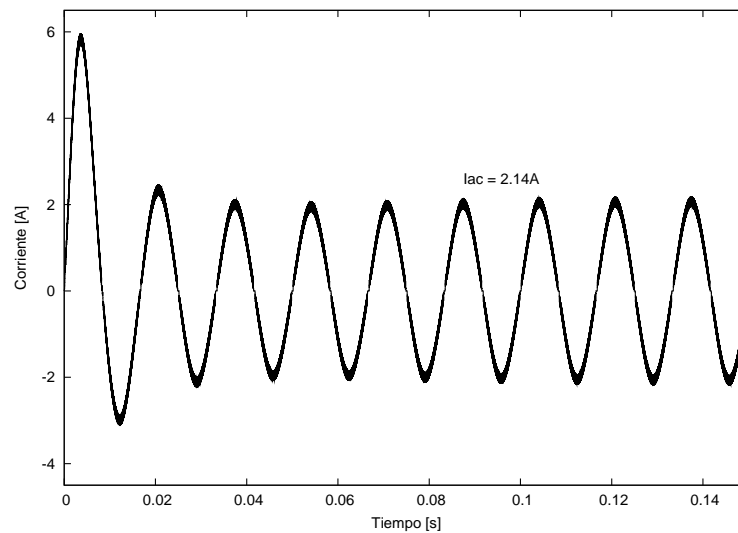


Figura 10.25: Corriente de línea ($I_{ac}(t)$) para $V_{ac(nom)}$

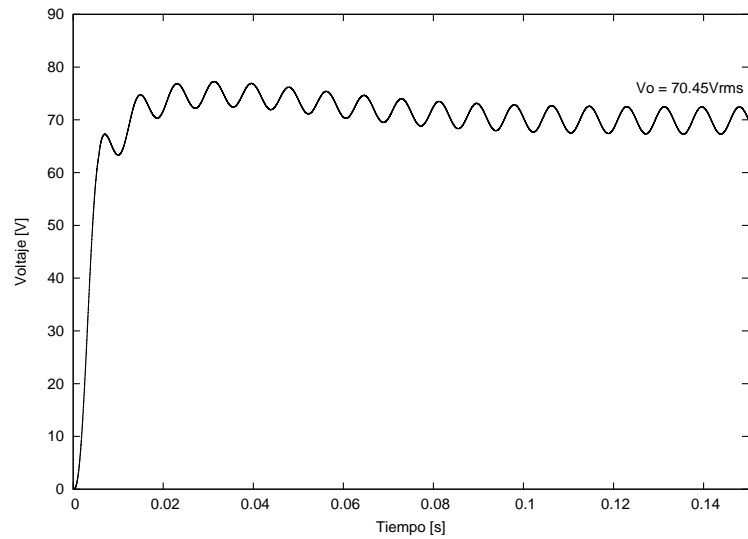


Figura 10.26: Voltaje de salida convertidor Sepic ($V_{out}(t)$) para $V_{ac(nom)}$

La tensión promedio de salida del rectificador controlado (Convertidor Sepic) es de $70.45V$, lo cual corresponde al 0.6% de error.

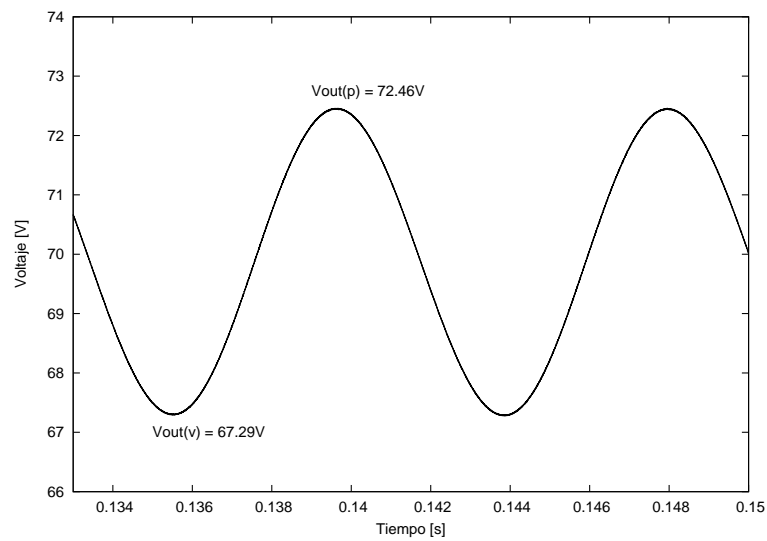
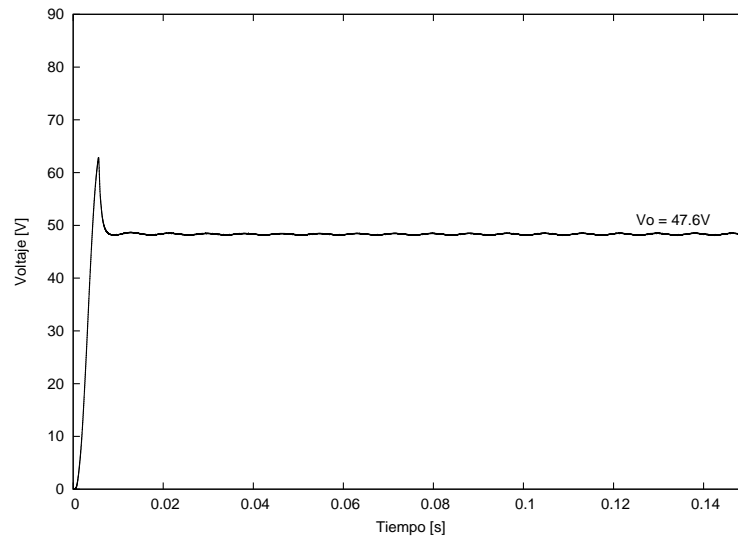
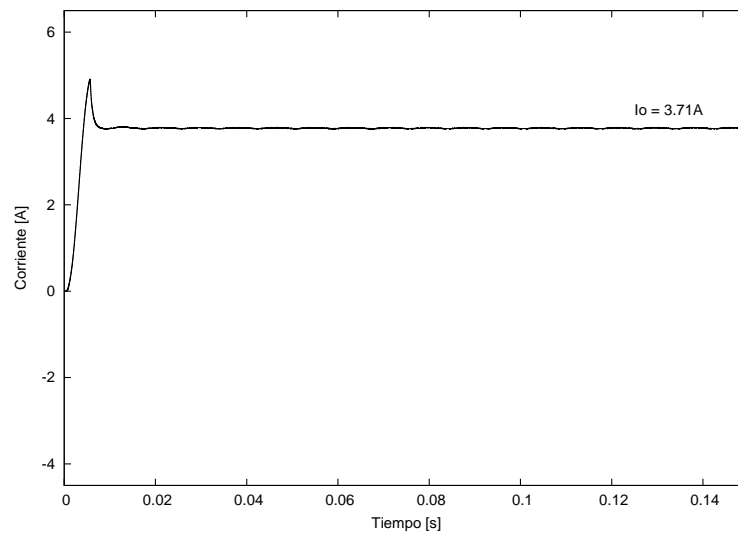


Figura 10.27: Rizado voltaje de salida convertidor Sepic ($\Delta V_{out(pp)}$) para $V_{ac(nom)}$

Nuevamente la tensión pico de salida es de $2.58V$, la cual corresponde a un error del 2.27% respecto al valor diseñado.

Figura 10.28: Voltaje de salida ($V_o(t)$) para $V_{ac(nom)}$

Se verifica que bajo estas condiciones el nivel de tensión de salida del sistema completo no representa una amenaza para la integridad de los elementos seleccionados durante la etapa de diseño. El valor promedio de la tensión de salida es de $47.6V$ lo cual corresponde a un 0.8% de error respecto al valor ideal.

Figura 10.29: Corriente de salida ($I_o(t)$) para $V_{ac(nom)}$

10.2.3. Voltaje de entrada máximo

Para este caso se aplica un voltaje de entrada de $177V_{RMS}$. Obsérvese en la *Figura (10.30)* la forma de onda de la corriente de línea, la distorsión armónica total de esta señal es de 7.28 % y el factor de potencia es de 0.981. La potencia de salida es de 180,96W.

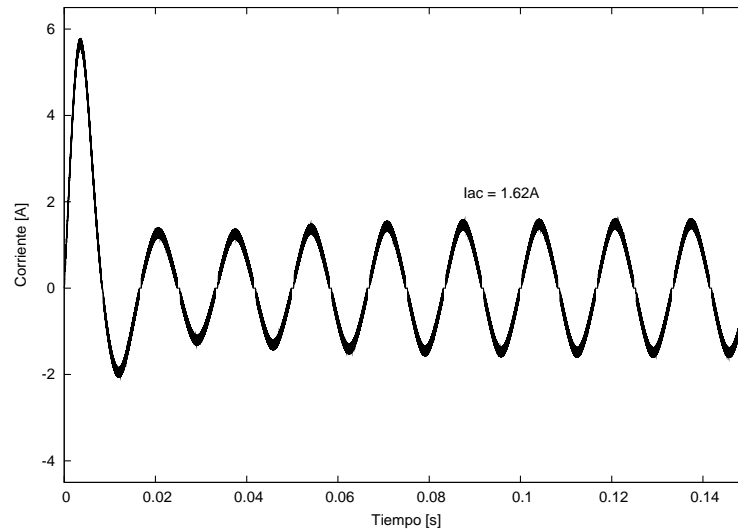


Figura 10.30: Corriente de línea ($I_{ac}(t)$) para $V_{ac(max)}$

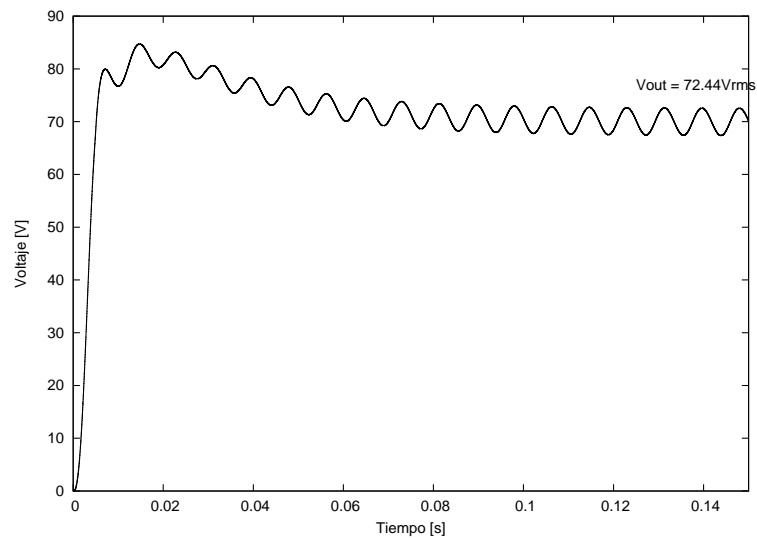


Figura 10.31: Voltaje de salida convertidor Sepic ($V_{out}(t)$) para $V_{ac(max)}$

La tensión de salida del rectificador controlado es de $72.44V$, lo cual corresponde al 3.4 % de error

respecto al valor establecido en la etapa de diseño.

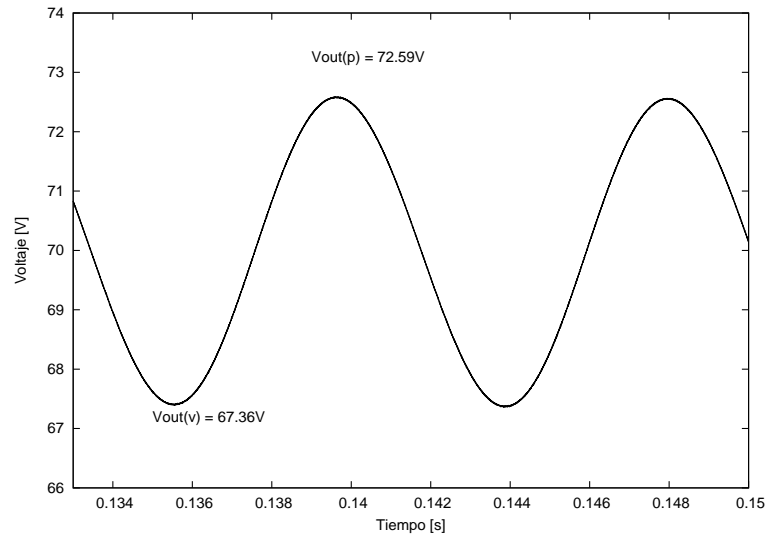


Figura 10.32: Rizado voltaje de salida convertidor Sepic ($\Delta V_{out(pp)}$) para $V_{ac(max)}$

Nuevamente la tensión pico de salida es de $2.61V$, la cual corresponde a un error del 0.9% respecto al valor diseñado.

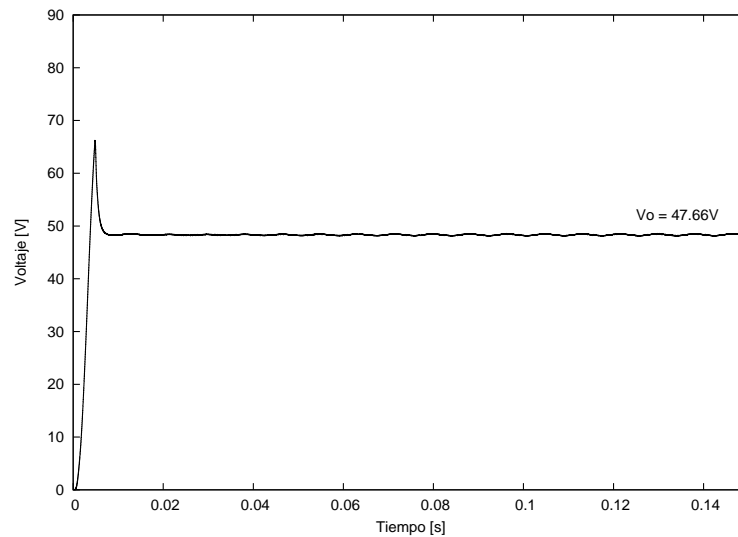


Figura 10.33: Voltaje de salida ($V_o(t)$) para $V_{ac(max)}$

Se verifica que bajo estas condiciones el nivel de tensión de salida del sistema no representa una amenaza para la integridad de los elementos seleccionados durante la etapa de diseño. El valor promedio

de la tensión de salida es de $47.6V$ lo cual corresponde a un 0.8% de error respecto al valor ideal.

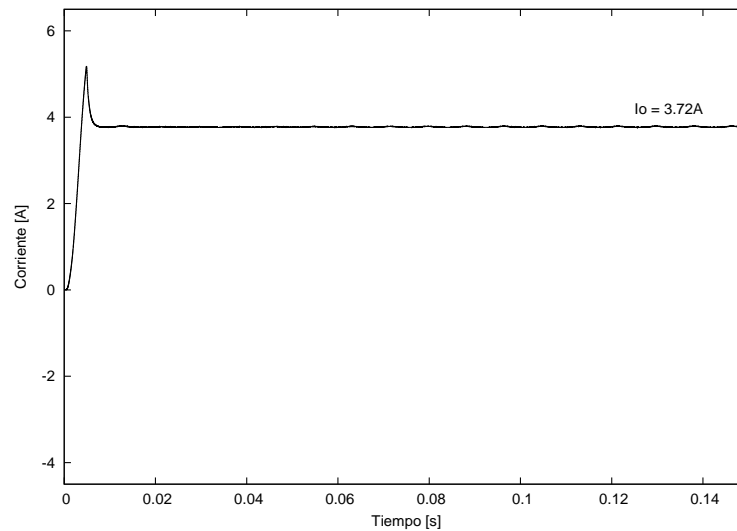


Figura 10.34: Corriente de salida ($I_o(t)$) para $V_{ac(max)}$

Si bien no era objetivo principal del proyecto la implementación general del sistema, se establecieron las primeras bases para ello. Una vez terminado el proceso de diseño hubo la necesidad de importar gran cantidad de los elementos seleccionados debido a que no estaban disponibles en el país, sin embargo constantemente se adquirieron los mismos para llevar a cabo los primeros pasos de la implementación, comprobándose el funcionamiento de los bloques del microcontrolador. La complejidad del Rectificador Controlado radica en la integración y funcionamiento adecuado de los elementos que lo conforman, a diferencia del Convertidor Buck, en dónde se realizó un análisis exhaustivo de su dinámica utilizando herramientas matemáticas y enfoques de interpretación de cierta complejidad. Se espera que para futuros trabajos se de uso a las bases teóricas y los criterios de diseño a los que se llegaron en este trabajo.

Parte VI

Implementación del Convertidor Buck

Capítulo 11

Resultados

Luego de implementar los circuitos mostrados en los esquemáticos de las Figuras (9.1), (9.4), (9.5) y (9.6) se obtienen los siguientes resultados.

11.1. Variables de Gran Señal

11.1.1. Voltaje de entrada mínimo - Controlador Proporcional

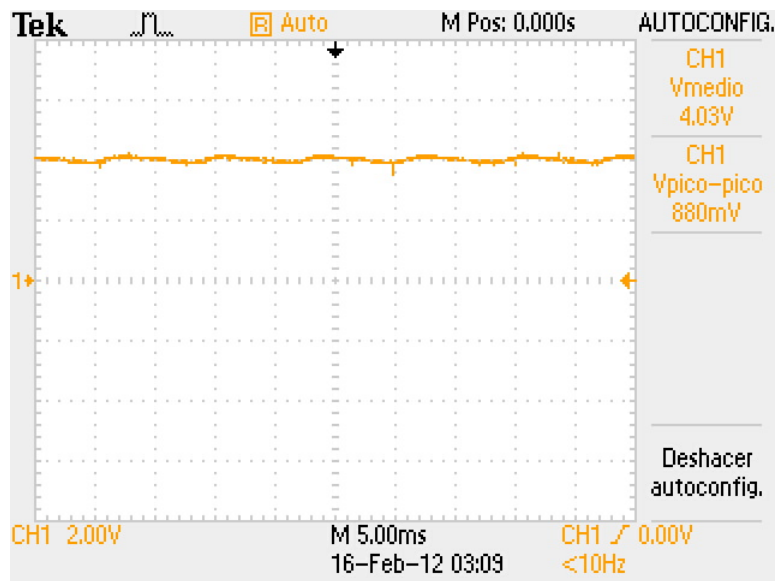


Figura 11.1: Voltaje de salida ($V_o(t)$) para $V_{i(min)}$ – Controlador Proporcional

Para este caso el voltaje de entrada aplicado al circuito de la Figura (9.1) fue de $38,9V_{RMS}$, lo cual es equivalente a un voltaje pico de $55V$. Lo anterior fue realizado con el objetivo de que el valor mínimo del rizado del voltaje de entrada del circuito de la Figura (9.4) no fuera menor a $50V$, y de esta forma no violar las condiciones de diseño. Se utilizó una carga de valor nominal de 13Ω formada mediante un arreglo de resistencia de potencia, sin embargo teniendo en cuenta que la potencia total a disipar estaba cercana a los $180W$, la temperatura de las resistencias aumentó considerablemente, hasta el punto que la resistencia total bajo las condiciones más exigentes llegaba hasta los $14,4\Omega$. La

tensión de salida es ilustrada en la *Figura (11.1)*, esta tiene un valor promedio de $39,54V$, esto es debido a las pérdidas intrínsecas del sistema, a su vez el ciclo de trabajo del controlador se satura naturalmente por las condiciones de diseño (el ciclo de trabajo máximo es del 97%) y la tensión de entrada alcanza un valor muy cercano al de diseño a la salida. La corriente de salida tiene un valor promedio de $2,96A$. Las condiciones de distorsión y factor de potencia son equivalentes a las mostradas en el siguiente caso.

11.1.2. Voltaje de entrada mínimo - Controlador Factor K

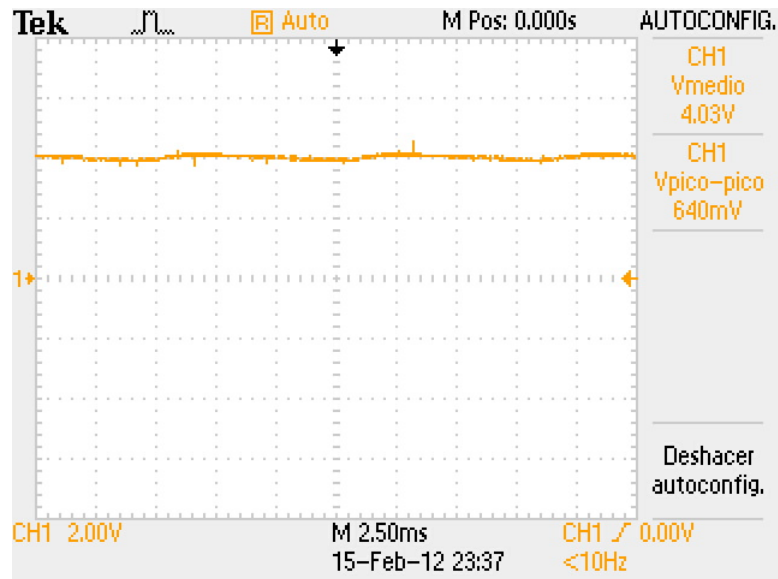


Figura 11.2: Voltaje de salida ($V_o(t)$) para $V_{i(min)}$ – Controlador Factor K

La tensión de entrada aplicada para este caso fue la misma que para el caso anterior, al igual que la resistencia de carga. La forma de onda de la tensión de salida es ilustrada en la *Figura (11.2)*. Nótese la capacidad del rechazo del ruido de entrada, este es menor inclusive al caso anterior definido por el controlador proporcional. La tensión promedio tiene un valor de $39,54V$ y la corriente un valor de $2,92A$. Las condiciones de saturación del ciclo de trabajo explicadas anteriormente son válidas también para este caso.

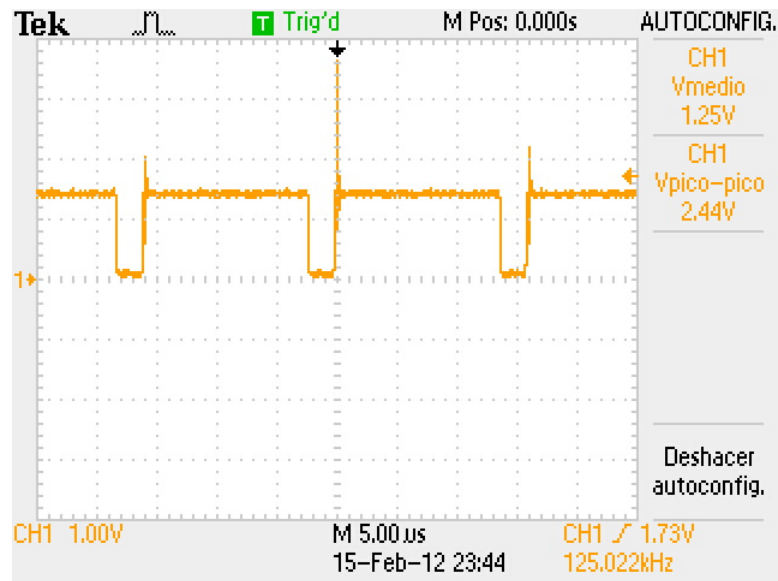


Figura 11.3: Ciclo de trabajo (D) para $V_{i(\min)}$ – Controlador Factor K

El ciclo de trabajo es ilustrado en la *Figura (11.3)*, este tiene un valor de 0,875, siendo el ideal 0,96. Obsérvese en esta imagen los picos de voltaje que se presentan en la conmutación, esto en definitiva provoca ruido en la tensiones a lo largo de las pistas de potencia, incluida por supuesto la tensión de salida.

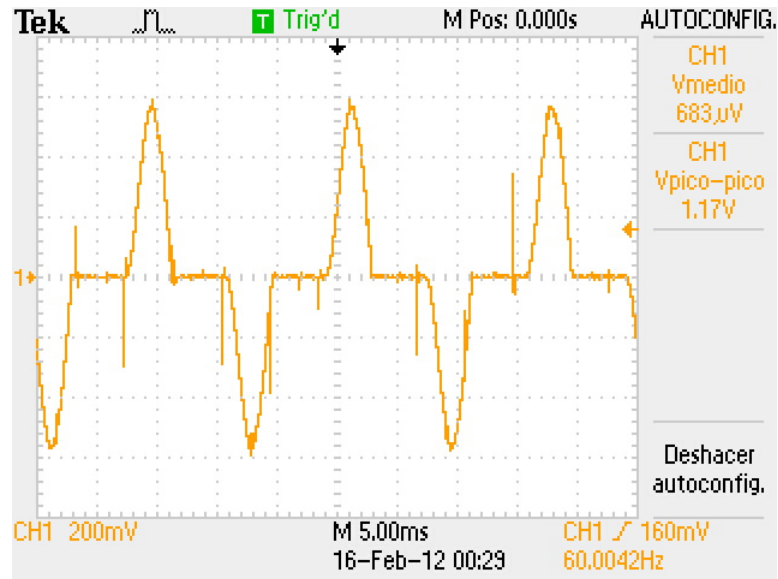


Figura 11.4: Corriente de línea ($I_{ac}(t)$) para $V_{i(\min)}$ – Controlador Factor K

La forma de la corriente de línea es mostrada en la *Figura (11.4)* (fue sensada a través de una resistencia de $50m\Omega$), esta tiene una distorsión armónica total de corriente del 62 % y un factor de potencia total de 0.84. Nótese que a diferencia de lo obtenido en las simulaciones, la distorsión armónica es mucho menor y el factor de potencia es mayor, las razones de esto se pueden entender teniendo en

cuenta que en la implementación se presentan condiciones reales que en la simulación no se hacen evidentes, como por ejemplo, la resistencia asociada a las pistas de potencia, entre otros factores.

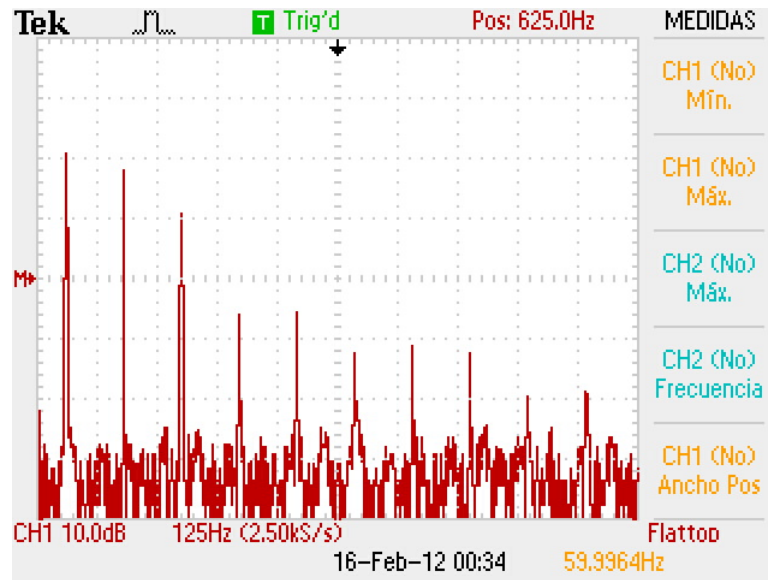


Figura 11.5: Transformada de Fourier ($I_{ac}(t)$) para $V_{i(min)}$ – Controlador Factor K

La transformada de Fourier de la corriente de la *Figura (11.4)* se ilustra en la *Figura (11.5)*. Nótese la presencia de los armónicos impares, siendo el tercero y quinto armónico de magnitudes considerables, $2,7A$ y $1,2A$, respectivamente. Los siguientes tienen valores menores hasta su desvanecimiento aproximadamente en el décimoquinto armónico. En definitiva el tercer armónico y los siguientes perturban y afectan al sistema de potencia, tal como fue explicado en el Capítulo 3.

11.1.3. Voltaje de entrada nominal - Controlador Proporcional

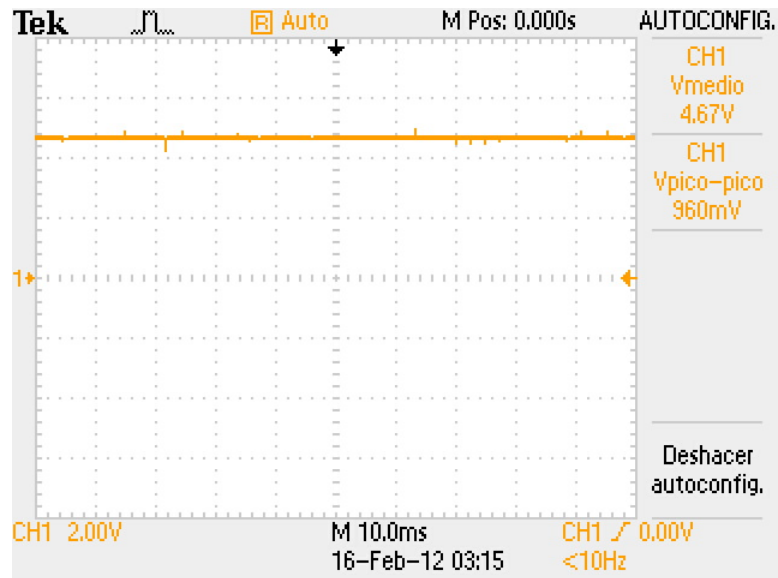
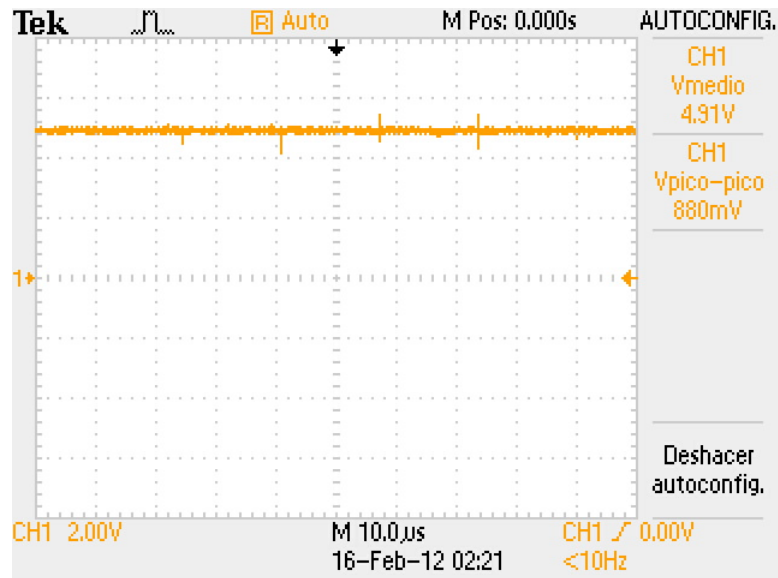


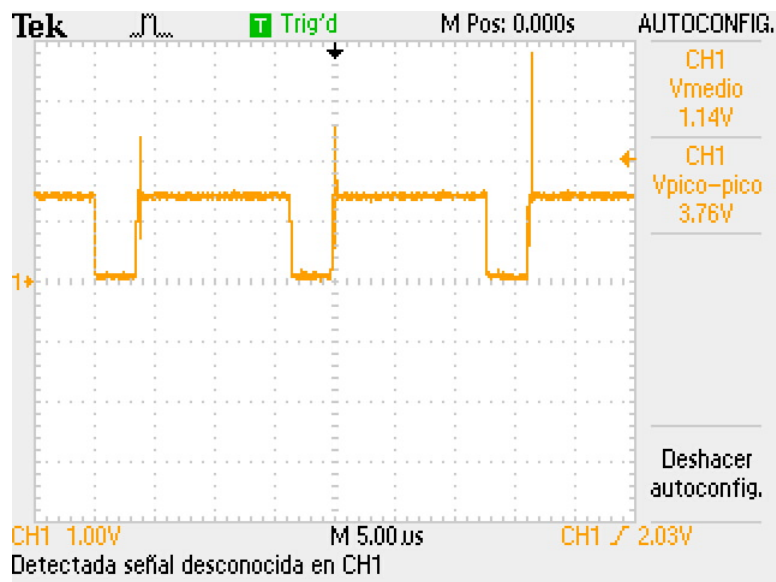
Figura 11.6: Voltaje de salida ($V_o(t)$) para $V_{i(nom)}$ – Controlador Proporcional

Para este caso el voltaje de entrada aplicado fue de $49,5V_{RMS}$, lo cual es equivalente a un voltaje pico de $70V$. La carga usada fue la misma que en el caso anterior. La tensión de salida es ilustrada en la Figura (11.6), esta tiene un valor promedio de $45,94V$. La corriente de salida tiene un valor promedio de $3,22A$. Las condiciones de distorsión y factor de potencia son equivalentes a las mostradas en el siguiente caso.

11.1.4. Voltaje de entrada nominal - Controlador Factor K

Figura 11.7: Voltaje de salida ($V_o(t)$) para $V_{i(nom)}$ – Controlador Factor K

La tensión de entrada aplicada para este caso fue la misma que para el caso anterior, al igual que la resistencia de carga. La forma de onda de la tensión de salida es ilustrada en la *Figura (11.7)*. La tensión promedio tiene un valor de 47,85V y la corriente un valor de 3,3A.

Figura 11.8: Ciclo de trabajo (D) para $V_{i(nom)}$ – Controlador Factor K

El ciclo de trabajo es ilustrado en la *Figura (11.8)*, este tiene un valor de 0,75, siendo el ideal 0,68. Obsérvese en esta imagen los picos de voltaje que se presentan en la conmutación, esto en definitiva

provoca ruido en la tensiones a lo largo de las pistas de potencia, incluida por supuesto la tensión de salida.

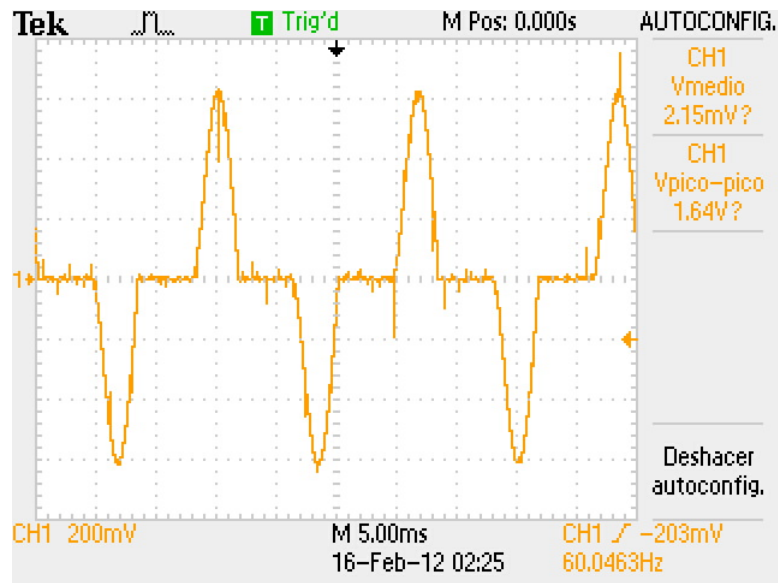


Figura 11.9: Corriente de línea ($I_{ac}(t)$) para $V_{i(nom)}$ – Controlador Factor K

La forma de la corriente de línea es mostrada en la *Figura (11.9)* (fue sensada de la misma manera que el caso anterior), esta tiene una distorsión armónica total de corriente del 60.5% y un factor de potencia total de 0.849. Al igual que en el caso de voltaje de entrada mínimo la distorsión y factor de potencia difieren considerablemente respecto a los valores de simulación.

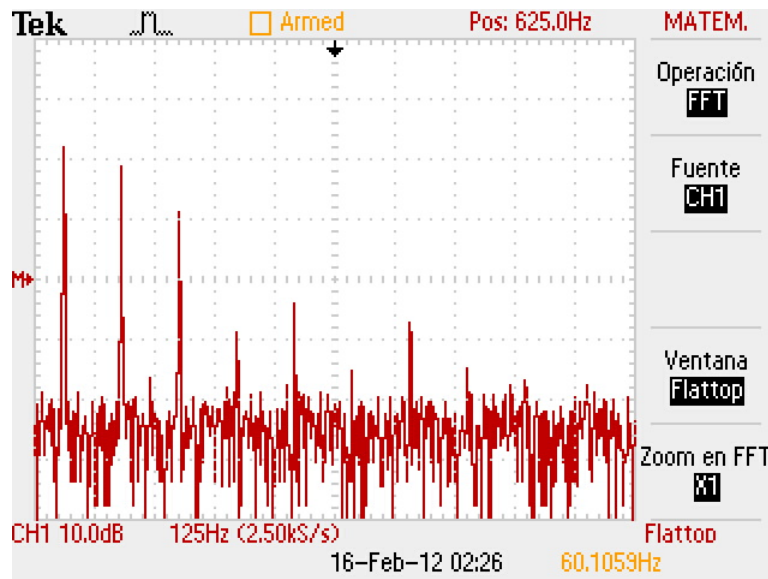


Figura 11.10: Transformada de Fourier ($I_{ac}(t)$) para $V_{i(nom)}$ – Controlador Factor K

La transformada de Fourier de la corriente de la *Figura (11.9)* se ilustra en la *Figura (11.10)*. Nótese la presencia de los armónicos impares, siendo el tercero y quinto armónico de magnitudes consider-

ables, 2,9A y 1,3A, respectivamente. Los siguientes tienen valores menores hasta su desvanecimiento aproximadamente en el décimoquinto armónico.

11.1.5. Voltaje de entrada máximo - Controlador Proporcional

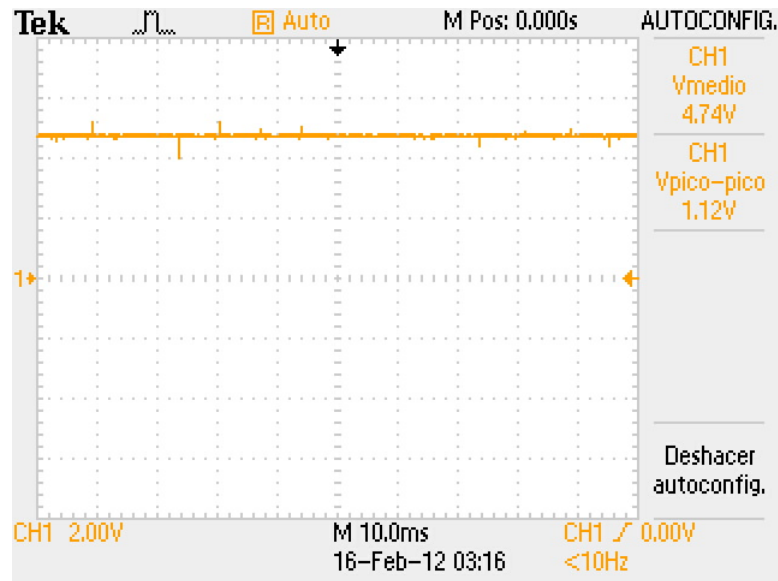
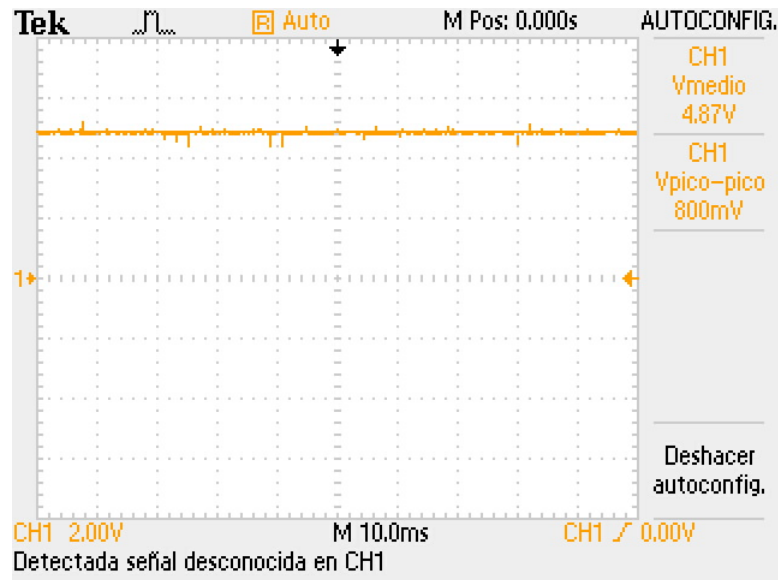


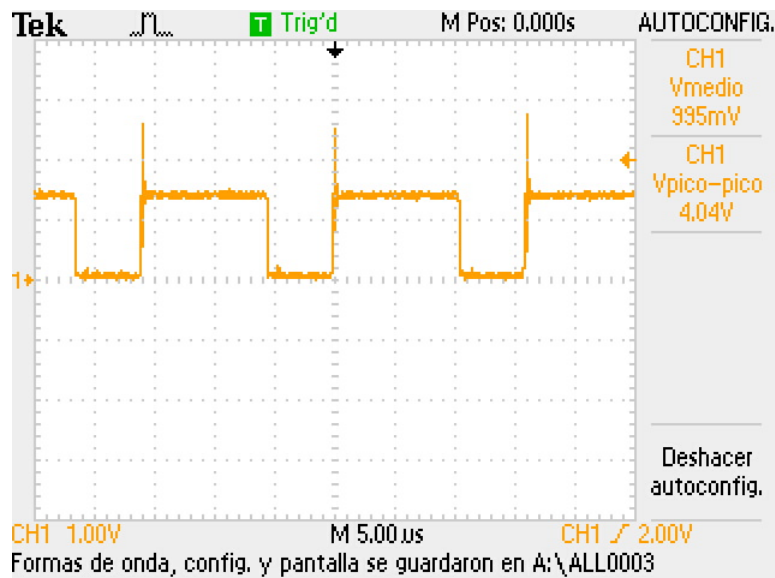
Figura 11.11: Voltaje de salida ($V_o(t)$) para $V_{i(max)}$ – Controlador Proporcional

Para este caso el voltaje de entrada aplicado fue de $56,5V_{RMS}$, lo cual es equivalente a un voltaje pico de 80V. La carga usada fue la misma que en el caso anterior. La tensión de salida es ilustrada en la *Figura (11.11)*, esta tiene un valor promedio de 46,5V. La corriente de salida tiene un valor promedio de 3,3A. Las condiciones de distorsión y factor de potencia son equivalentes a las mostradas en el siguiente caso.

11.1.6. Voltaje de entrada máximo - Controlador Factor K

Figura 11.12: Voltaje de salida ($V_o(t)$) para $V_{i(max)}$ – Controlador Factor K

La tensión de entrada aplicada para este caso fue la misma que para el caso anterior, al igual que la resistencia de carga. La forma de onda de la tensión de salida es ilustrada en la *Figura (11.12)*. La tensión promedio tiene un valor de $47,81V$ y la corriente un valor de $3,29A$.

Figura 11.13: Ciclo de trabajo (D) para $V_{i(max)}$ – Controlador Factor K

El ciclo de trabajo es ilustrado en la *Figura (11.13)*, este tiene un valor de $0,625$, siendo el ideal $0,6$.

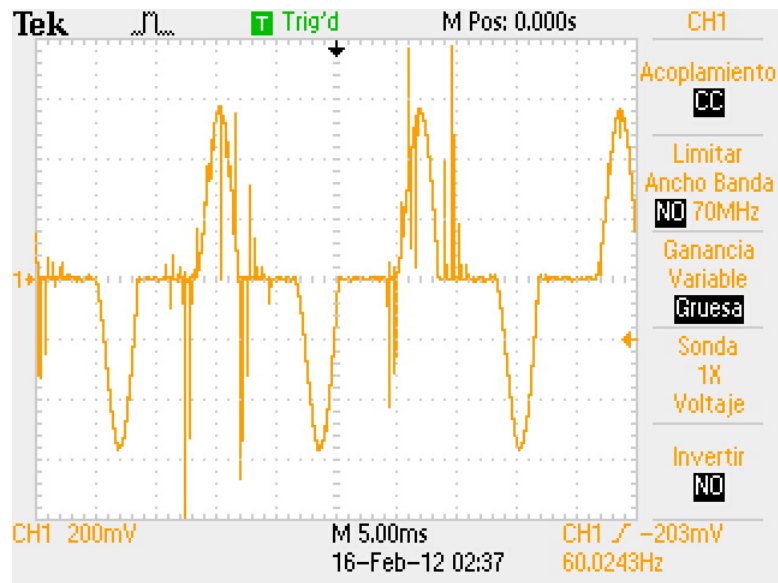


Figura 11.14: Corriente de línea ($I_{ac}(t)$) para $V_{i(max)}$ – Controlador Factor K

La forma de la corriente de línea es mostrada en la *Figura (11.14)*, esta tiene una distorsión armónica total de corriente del 64.8 % y un factor de potencia total de 0.835.

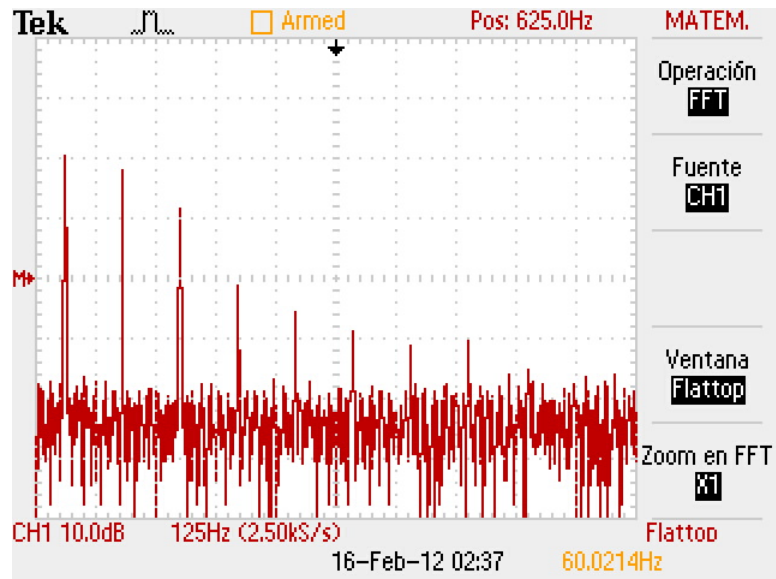


Figura 11.15: Transformada de Fourier ($I_{ac}(t)$) para $V_{i(max)}$ – Controlador Factor K

La transformada de Fourier de la corriente de la *Figura (11.14)* se ilustra en la *Figura (11.15)*. Nótese la presencia de los armónicos impares, siendo el tercero y quinto armónico de magnitudes considerables, 2,7A y 1,3A, respectivamente. Los siguientes tienen valores menores hasta su desvanecimiento aproximadamente en el décimoquinto armónico.

11.2. Variables de Pequeña Señal

En este caso se realizó el mismo procedimiento descrito en la Simulación. Tal como se dijo anteriormente la carga utilizada al calentarse presentaba una resistencia de $14,4\Omega$, esta se conectó en paralelo con una carga conmutada de 64Ω (formada por un arreglo en serie de dos reóstatos) a $120Hz$. Las imágenes de los transitorios para cada metodología de control se muestran a continuación, se añaden los gráficos filtrados mediante un algoritmo implementado en Matlab, esto con el fin de eliminar los picos que se observan en las imágenes reales, los cuales aparecen por la conmutación del convertidor.

11.2.1. Transitorio Control Proporcional

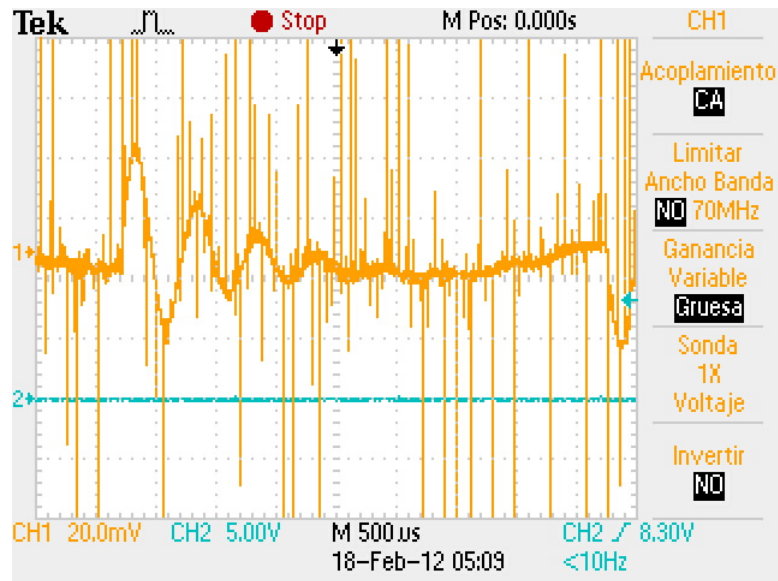


Figura 11.16: *Transitorio real ($V_o(t)$) para para perturbación en carga—Controlador Proporcional*

Obsérvese la presencia de los grandes picos de voltaje, en la siguiente Figura se filtran dichos valores.

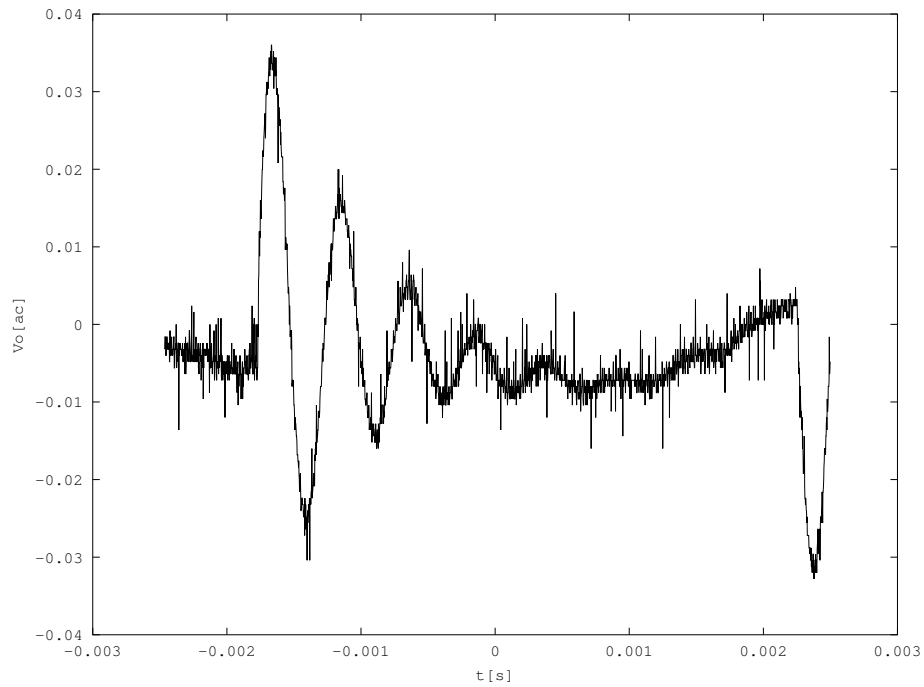


Figura 11.17: *Transitorio filtrado ($V_o(t)$) para para perturbación en carga—Controlador Proporcional*

Nótese la gran similitud de este transitorio respecto al ilustrado en la Figura (10.17).

11.2.2. Transitorio Control Factor K

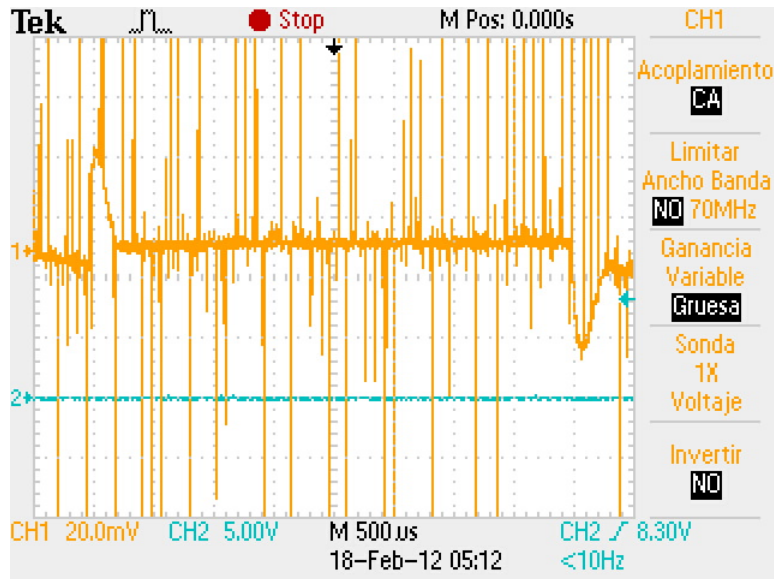


Figura 11.18: *Transitorio real ($V_o(t)$) para para perturbación en carga—Controlador Factor K*

Al igual que en el caso anterior, se pueden apreciar los picos producidos por la conmutación del convertidor. En definitiva esto representa un problema en la medida que cuán sensible sea la carga, para esta aplicación no es prioritario el hecho de eliminar este ruido.

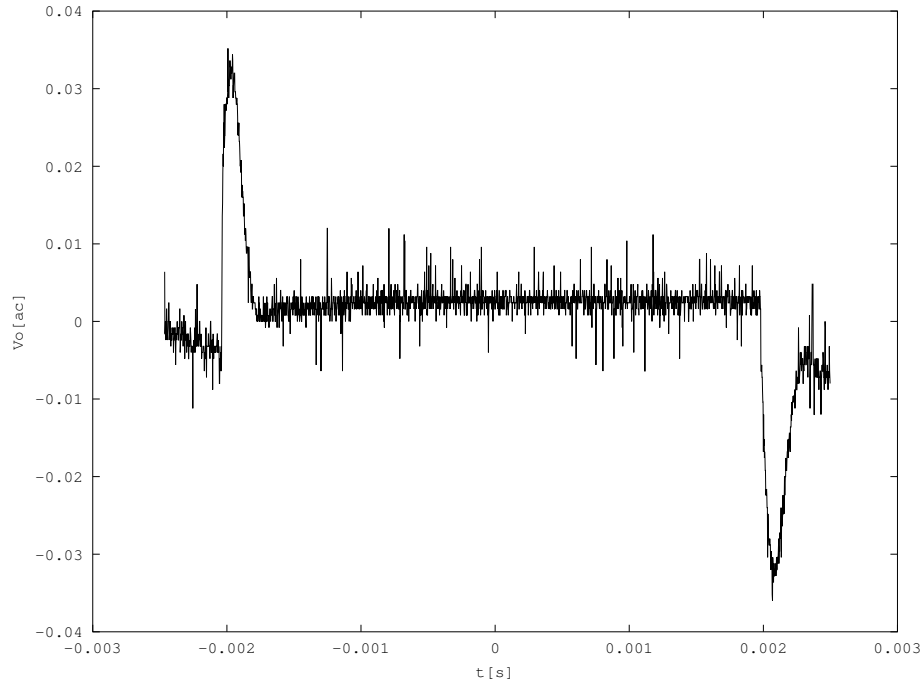


Figura 11.19: *Transitorio filtrado ($V_o(t)$) para para perturbación en carga—Controlador Factor K*

Nótese la gran similitud de este transitorio respecto al ilustrado en la Figura (10.19).

Parte VII

Análisis de Resultados

Capítulo 12

Convertidor Buck

12.1. Variaciones de Gran Señal

A continuación se tabulan todos los resultados obtenidos que respectan al convertidor buck. Cada cuadro contiene la información obtenida durante cada una de las condiciones de operación (*Voltajes de entrada mínimo, nominal y máximo*), para cada una de las metodologías de control utilizadas (*proporcional y factor k*). Pero al observar estas tablas no saltan a la vista aquellos detalles que los autores consideran interesantes e importantes, por tanto, posteriormente se presentan histogramas con el respectivo análisis para cada una de las variables mostradas bajo todas las condiciones de operación y metodologías de control.

Cuadros

<i>Premisa</i>	<i>Diseño</i>	<i>Simulación</i>	<i>% Err Sim</i>	<i>Experimentación</i>	<i>% Err Exp</i>
<i>Voltaje de Salida [V]</i>	48	45.9	4.37 %	39.54	17.62
<i>Potencia de Salida [W]</i>	180	164.6	7.08 %	108.57	39.68
<i>Eficiencia [%]</i>	95 %	96.12 %	1.17 %		
<i>THD_I [%]</i>	—	213.28	—	60	—
<i>Factor de Potencia</i>	—	0.33	—	0.86	—

Cuadro 12.1: *Tabla de datos Convertidor Buck - Voltaje de Entrada Mínimo 50V - Controlador Proporcional*

<i>Premisa</i>	<i>Diseño</i>	<i>Simulación</i>	<i>% Err Sim</i>	<i>Experimentación</i>	<i>% Err Exp</i>
<i>Voltaje de Salida [V]</i>	48	48	0	38.68	19.41
<i>Potencia de Salida [W]</i>	180	180.05	0	103.89	42.28
<i>Eficiencia [%]</i>	95	94	1		
<i>THD_I [%]</i>	—	207.31	—	62	—
<i>Factor de Potencia</i>	—	0.31	—	0.84	—

Cuadro 12.2: *Tabla de datos Convertidor Buck - Voltaje de Entrada Mínimo 50V - Controlador Factor K*

<i>Premisa</i>	<i>Diseño</i>	<i>Simulación</i>	<i>% Err Sim</i>	<i>Experimentación</i>	<i>% Err Exp</i>
<i>Voltaje de Salida [V]</i>	48	46.1	3.95	45.94	4.29
<i>Potencia de Salida [W]</i>	180	166.4	7.55	146.56	18.57
<i>Eficiencia [%]</i>	95	92.75	2.36		
<i>THD_I [%]</i>	—	240.51	—	60.4	—
<i>Factor de Potencia</i>	—	0.38	—	0.86	—

Cuadro 12.3: Tabla de datos Convertidor Buck - Voltaje de Entrada Nominal 70V - Controlador Proporcional

<i>Premisa</i>	<i>Diseño</i>	<i>Simulación</i>	<i>% Err Sim</i>	<i>Experimentación</i>	<i>% Err Exp</i>
<i>Voltaje de Salida [V]</i>	48	47.6	0.83	47.85	0.03
<i>Potencia de Salida [W]</i>	180	177.04	1.6	159	11.6
<i>Eficiencia [%]</i>	95 %	93.6	1.4		
<i>THD_I [%]</i>	—	244.5	—	60.5	—
<i>Factor de Potencia</i>	—	0.38	—	0.85	—

Cuadro 12.4: Tabla de datos Convertidor Buck - Voltaje de Entrada Nominal 70V - Controlador Factor K

<i>Premisa</i>	<i>Diseño</i>	<i>Simulación</i>	<i>% Err Sim</i>	<i>Experimentación</i>	<i>% Err Exp</i>
<i>Voltaje de Salida [V]</i>	48	46.15	3.8	46.53	3.06
<i>Potencia de Salida [W]</i>	180	166.5	7.5	150.35	16.47
<i>Eficiencia [%]</i>	95	92	3.15		
<i>THD_I [%]</i>	—	256.56	—	66	—
<i>Factor de Potencia</i>	—	0.38	—	0.84	—

Cuadro 12.5: Tabla de datos Convertidor Buck - Voltaje de Entrada Máximo 80V - Controlador Proporcional

<i>Premisa</i>	<i>Diseño</i>	<i>Simulación</i>	<i>% Err Sim</i>	<i>Experimentación</i>	<i>% Err Exp</i>
<i>Voltaje de Salida [V]</i>	48	48.17	0.3	47.81	0.4
<i>Potencia de Salida [W]</i>	180	181.31	0.7	158.73	11.81
<i>Eficiencia [%]</i>	95	94.8	0.2		
<i>THD_I [%]</i>	—	262.9	—	64.8	—
<i>Factor de Potencia</i>	—	0.28	—	0.835	—

Cuadro 12.6: Tabla de datos Convertidor Buck - Voltaje de Entrada Máximo 80V - Controlador Factor K

Gráficos

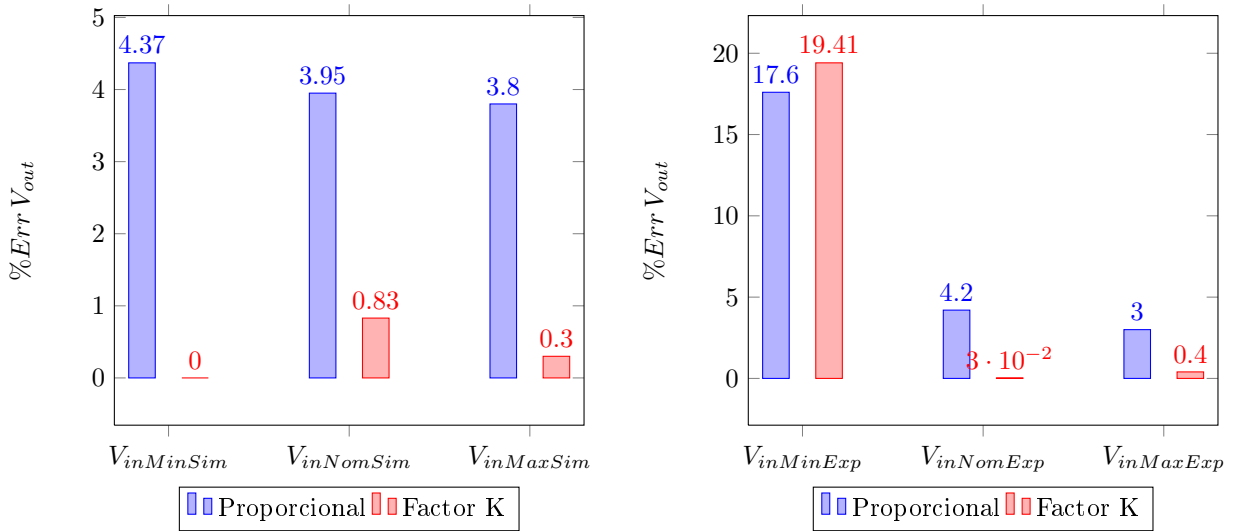


Figura 12.1: Porcentajes de Error de los Resultados de simulación y Experimentación para la Tensión de salida en estado estable del Convertidor Buck

En el gráfico de la simulación (izquierda) resulta obvia la superioridad del controlador diseñado con el factor k sobre el control proporcional para minimizar el error en estado estable. Mientras que en el gráfico de los porcentajes de error de la experimentación existe aparentemente un dato anómalo que corresponde al 19.41 % de error encontrado mientras la tensión de entrada estaba en su valor mínimo.

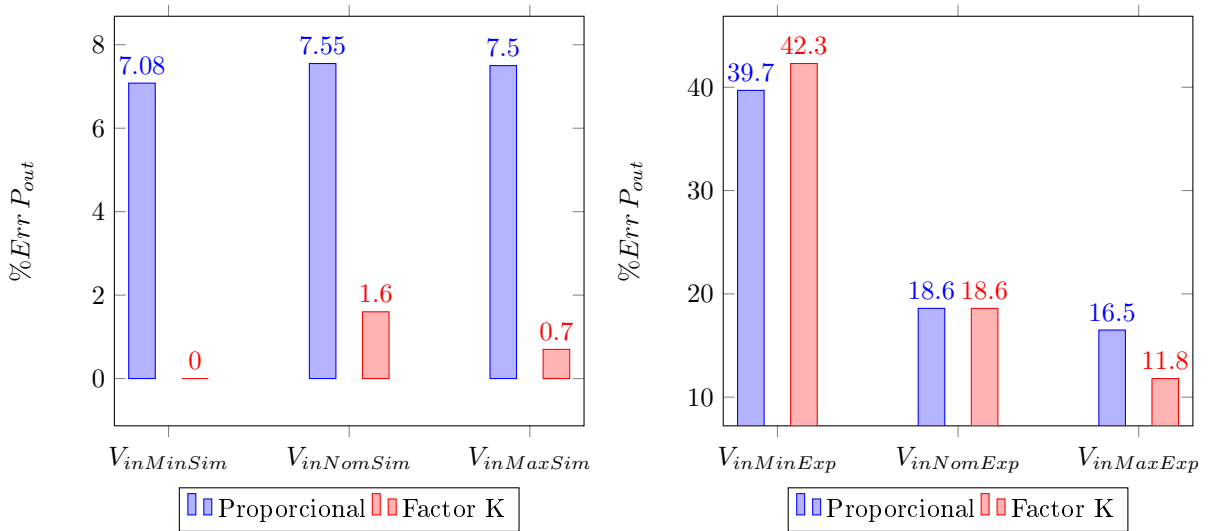


Figura 12.2: Porcentajes de Error de los Resultados de simulación y Experimentación para la potencia de salida en estado estable del Convertidor Buck

Respecto a los resultados de la simulación, los resultados mostrados en la Figura (12.1) coinciden cualitativamente con sus homólogos en la Figura (12.2), dada una carga resistiva constante, es lógico que el error en la tensión de salida se refleje en el error en la potencia de salida. Por otro lado, los

resultados de la experimentación revelan algo quizás mas interesante, aunque los niveles de error son relativamente altos, existe una proximidad pronunciada entre los resultados para ambas metodologías de control, nótese además que cuando la tensión de entrada es mínima, el error se dispara para ambas metodologías de control.

Nótese como los porcentajes de error de la potencia de salida en la implementación del convertidor buck son considerablemente altos en referencia a los porcentajes de error del voltaje de salida, lo anterior es debido a que la resistencia de carga aumenta al calentarse la misma, luego entonces, se evidencia que el sistema es capaz de sostener el nivel de tensión de salida ante estas condiciones, lo cual conlleva a una lógica disminución de la potencia de salida. En esta situación se evidencia la necesidad de someter el sistema a condiciones fijas de operación para comprobar sus verdaderas capacidades.

La razón del pico de error que se da cuando la tensión de entrada es mínima es que la relación entre la ganancia en DC del sistema y la tensión de entrada no es una función lineal. Esta no linealidad es producida por el aumento pronunciado de las pérdidas en el sistema cuando la corriente de entrada se incrementa. Fue bajo estas condiciones que se presento calentamiento en los dispositivos de potencia, lo cual apoya esta hipótesis.

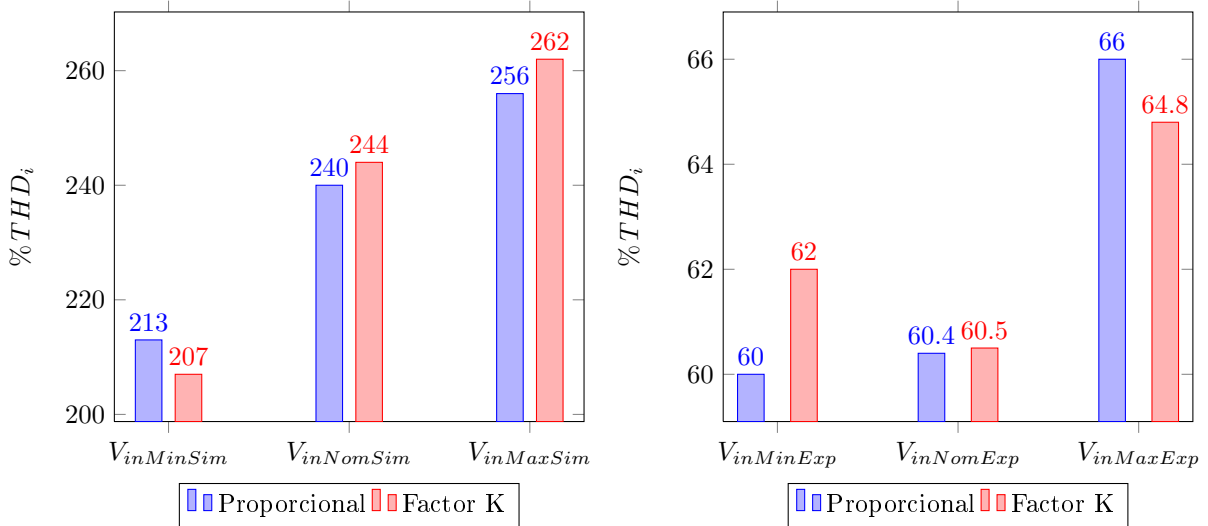


Figure 12.3: Resultados de simulación y Experimentación para la Distorsión armónica total de la corriente de entrada del Convertidor Buck

Nótese la gran similitud que existe para los niveles de distorsión armónica del convertidor buck utilizando el controlador proporcional y el controlador diseñado utilizando el *factor k*, para cada una de las condiciones de operación a las que fue sometido el sistema. Aún así existe una gran diferencia entre los resultados de simulación y los resultados experimentales. Esto último encuentra una explicación en la naturaleza ideal de las condiciones de simulación; al no asignar resistencia a las pistas del circuito, ni tener en cuenta la resistencia serie interna del capacitor de filtrado, se omite gran parte de la oposición a los cambios bruscos de corriente que puede tener el sistema de rectificación-filtrado. Por tanto es natural que un cambio mínimo en la tensión del capacitor (generado por la naturaleza no lineal de la operación del puente de diodos) exhiba picos exagerados de corriente (esto se puede ver en todos los gráficos de corriente de entrada del convertidor buck mostrados en la Sección 10.1). Es de esperarse entonces que estos picos de corriente disparen los niveles de distorsión armónica calculados por el software utilizado.

Por otro lado, si bien los resultados obtenidos en la experimentación son mucho mas bajos que los obtenidos en simulación, siguen siendo inadmisibles considerando los límites máximos presentados con anterioridad en este trabajo.

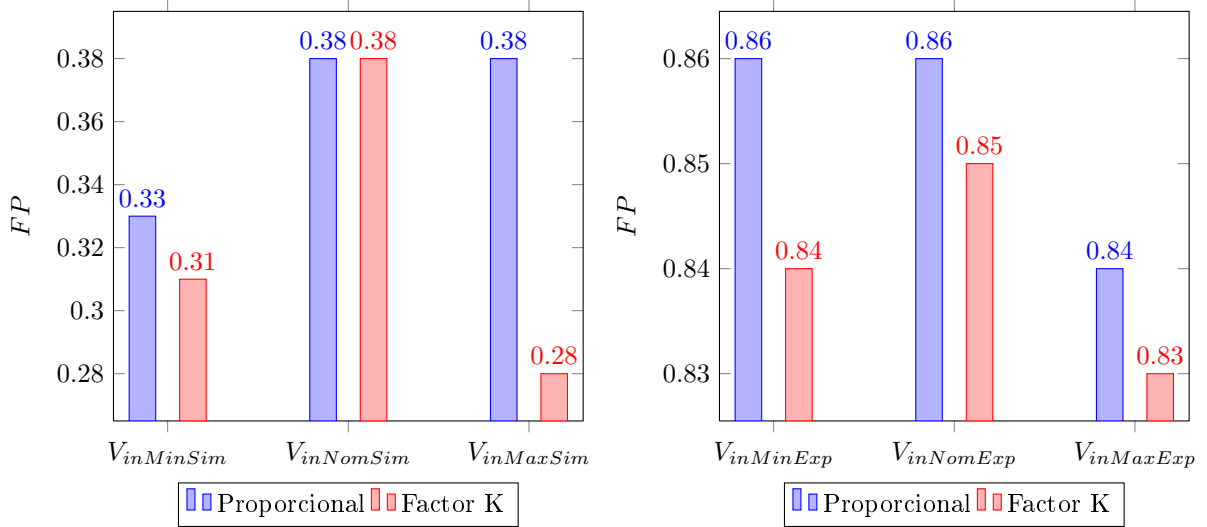


Figure 12.4: Resultados de simulación y Experimentación para el factor de potencia a la entrada del Convertidor Buck

Debido a la relación entre Factor de Potencia y Distorsión armónica, lo expresado en el anterior párrafo justifica la baja magnitud del Factor de Potencia obtenido en la simulación de cada una de las condiciones de operación del sistema.

Los valores obtenidos durante la experimentación, podrían considerarse válidos, si estos se debieran solamente al factor de potencia por desplazamiento, pero resulta que en su mayor parte, estos se deben a los niveles de los segundos y terceros armónicos de corriente, como evidencia se tienen los histogramas correspondientes a las Figuras (12.5), (12.6) y (12.7).

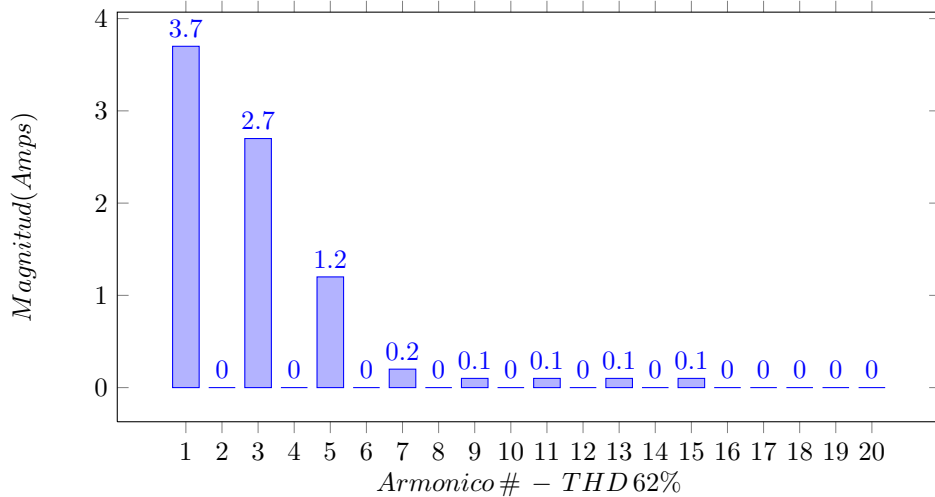


Figure 12.5: Contenido Armónico Corriente de Entrada - Convertidor Buck - Voltaje de entrada mínimo 50V.

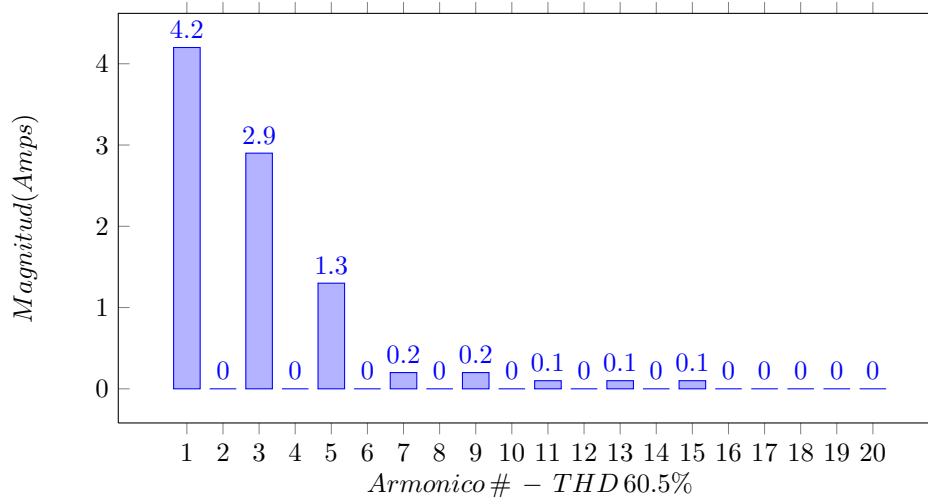


Figure 12.6: *Contenido Armonico Corriente de Entrada - Convertidor Buck - voltaje de entrada nominal 70V.*

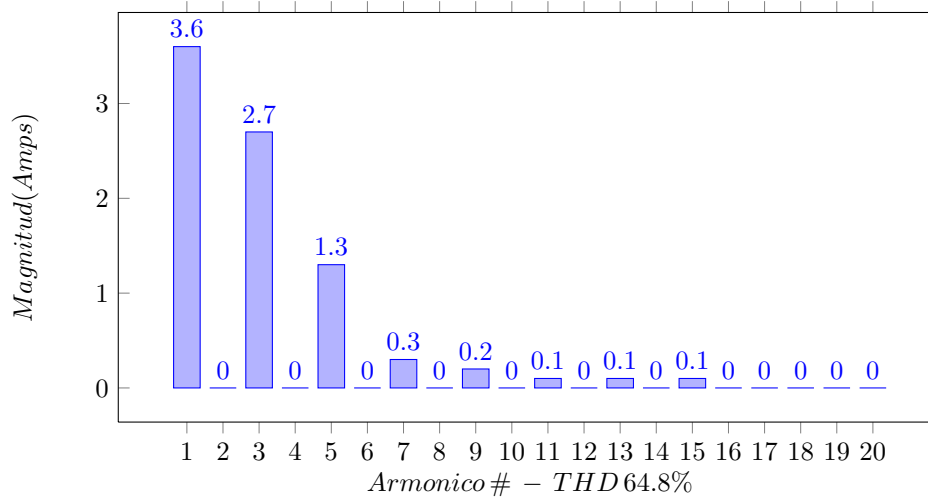


Figure 12.7: *Contenido Armónico Corriente de Entrada - Convertidor Buck - voltaje de entrada máximo 80V.*

Los últimos tres gráficos no hacen mas que resaltar la necesidad de un sistema activo de corrección de armónicos cada vez que se conecte a la línea una carga no lineal significativa, como pueden ser los convertidores conmutados. El análisis correspondiente al Rectificador Controlado se mostrará en el Capítulo 13.

12.2. Variaciones de Pequeña Señal

Modelamiento en el espacio de estados

El modelamiento de convertidores en el espacio de estados, representa una herramienta poderosa a la hora de analizar y comprender la dinámica de los convertidores conmutados. Primero que todo,

para hallar el modelo hace falta estudiar el convertidor en cada uno de sus estados, lo cual trae como consecuencia un alto nivel de entendimiento de su operación por parte la persona que realice esta tarea. Estas herramientas de análisis amplían el entendimiento y la capacidad interpretativa de aquel que las utiliza. A opinión de los autores, resulta mas enriquecedor pensar en que controlar el sistema consiste en lograr que el estado de este alcance el punto de energía nula, en lugar de interpretar esto como un simple voltaje de salida alcanzando un determinado valor.

Otra utilidad interesante que presenta la utilización del espacio de estados corresponde a la interpretación que se puede realizar del circuito equivalente que se puede extraer del modelo promediado, tal cual se hizo al momento de modelar el convertidor buck. En este caso fue posible concluir con un golpe de vista que sería la red de segundo orden quien gobernaría la dinámica del sistema.

Modelo en el espacio de estados

Tal como se observa en la sección correspondiente a el diseño del control proporcional del convertidor Buck, existe un gran nivel de correspondencia entre los transitorios obtenidos utilizando el modelo promediado y la simulación del sistema conmutado. Lo anterior se cumple siempre y cuando se mantengan los límites impuestos durante el modelamiento. Mientras que para el diseño del compensador basado en el *factor k* se hace mas difícil la utilización del modelo para analizar el sistema en el dominio temporal, debido a que en DC la ganancia de los sistemas compensados en el factor k es muy alta, lo cual, como se observó con el diseño del control proporcional, limita considerablemente la magnitud del transitorio al que se puede someter la salida del sistema. La anterior limitación junto con la presencia inevitable del ruido de conmutación en la tensión de salida, hace muy complicado observar y analizar con precisión el transitorio que se presume mas apropiado que el obtenido para el controlador proporcional. Aún así el modelo no falla en dar una idea de la dinámica del sistema cuando se utiliza cada uno de los esquemas de control. El modelo predice que ante un transitorio, la salida del sistema que utiliza un controlador proporcional va a oscilar y se atenuará poco antes de que se presente un nuevo transitorio (*Figura (10.17)*), lo cual ha sido corroborado con los resultados de experimentación mostrados en la *Figura (11.17)*. En el caso del esquema de control basado en el factor k, el modelo indica que el tiempo de asentamiento será mucho menor al presentado en el caso proporcional (*Figura (10.19)*), lo cual se comprueba con los resultados de experimentación presentados en la *Figura (11.19)*.

La inclusión de las pérdidas (especialmente la resistencia serie del capacitor de salida) resulta vital para la interpretación y diseño del convertidor buck. Tal como se muestra en las *Figuras (10.16) y (10.17)*, existe una marcada diferencia entre que tan oscilante son los sistemas con y sin pérdidas. De cierta manera la inclusión de un polo debido a la resistencia serie del capacitor de salida representa una ventaja para la operación del sistema, debido a que este asegura que cualquier armónico por encima de la frecuencia del cero va a ser atenuado rápidamente, debido a que tiene un margen de fase relativamente alto. Ahora bien, la aparición de este cero también ha impuesto una limitación considerable sobre el ancho de banda del sistema y por tanto la velocidad de respuesta del mismo. En el desarrollo de este trabajo, se consideró razonable la relación Velocidad de respuesta/Estabilidad ofrecida por el sistema compensado con un ancho de banda de $2.5kHz$.

Capítulo 13

Rectificador Controlado

Mediante esta etapa del corrector se disminuyó la distorsión de corriente, y consecuentemente se aumentó el factor de potencia total, respecto a una carga no lineal conectada directamente a la línea.

Por medio del análisis de los resultados obtenidos en la simulación se establece una idea concisa de la realizabilidad del sistema general. De esta forma se valida el diseño realizado.

<i>Premisa</i>	<i>Diseño</i>	<i>Simulación</i>	<i>% Err Sim</i>
<i>Voltaje de Salida [V]</i>	70	67.2	4
<i>Rizado del Voltaje de Salida [V]</i>	2.64	2.52	4.54
<i>Potencia de Salida [W]</i>	189.5	180.7	4.64
<i>Eficiencia [%]</i>	95	91.94	3.22
<i>THD_I [%]</i>	<8	3.42	Ok
<i>Factor de Potencia</i>	>0.98	0.99	Ok

Cuadro 13.1: *Tabla de datos Rectificador Controlado - Voltaje de Entrada Mínimo 85V_{RMS}*

<i>Premisa</i>	<i>Diseño</i>	<i>Simulación</i>	<i>% Err Sim</i>
<i>Voltaje de Salida [V]</i>	70	70.45	0.6
<i>Rizado del Voltaje de Salida [V]</i>	2.64	2.58	2.27
<i>Potencia de Salida [W]</i>	189.5	180.76	4.61
<i>Eficiencia [%]</i>	95	94.05	1
<i>THD_I [%]</i>	<8	5.13	Ok
<i>Factor de Potencia</i>	>0.98	0.986	Ok

Cuadro 13.2: *Tabla de datos Rectificador Controlado - Voltaje de Entrada Nominal 127V_{RMS}*

<i>Premisa</i>	<i>Diseño</i>	<i>Simulación</i>	<i>% Err Sim</i>
<i>Voltaje de Salida [V]</i>	70	72.44	3.4
<i>Rizado del Voltaje de Salida [V]</i>	2.64	2.61	0.9
<i>Potencia de Salida [W]</i>	189.5	180.96	4.5
<i>Eficiencia [%]</i>	95	89.24	6
<i>THD_I [%]</i>	<8	7.28	Ok
<i>Factor de Potencia</i>	>0.98	0.981	Ok

Cuadro 13.3: *Tabla de datos Rectificador Controlado - Voltaje de Entrada Máximo 177V_{RMS}*

Téngase en cuenta que durante la simulación se implementó al pie de la letra la lógica de control expuesta en el *Capítulo 6*. Los bajos porcentajes de error obtenidos durante la simulación bajo todas las condiciones de operación, no hacen mas que comprobar que tan realizable es la metodología planteada, aspectos mas detallados como la relación costo/desempeño respecto a otras metodologías de control y etapas de potencia, serían sin lugar a dudas puntos interesantes a abordar en trabajos posteriores.

El bajo error en la tensión de salida habla de la efectividad del controlador Tipo II diseñado, el bajo error del rizado de voltaje no hace mas que probar la validez de las expresiones utilizadas para el diseño. El error en la potencia de salida también es pequeño, lo cual es lógico debido al bajo porcentaje de error de la tensión de salida, además de que el software de simulación no modela el calentamiento y consecuente variación de la resistencia de carga. Debido a que el principio de operación del corrector de armónicos se basa en la conmutación, es de esperarse que el rendimiento del sistema sea relativamente alto, las pérdidas de potencia que se presentan son en su mayor parte debido a la resistencia serie de los inductores y capacitores.

Lo que finalmente valida el diseño es que bajo todas las condiciones el porcentaje de distorsión armónica se encuentra siempre por debajo del mínimo establecido, es necesario entender que la distorsión máxima concebida en este trabajo para las condiciones dadas es del 15% , sin embargo en los Cuadros anteriores aparece el 8% el cual fue el valor de diseño, por otra parte factor de potencia está por encima de 0.98.

Parte VIII

Conclusiones

De las dos etapas que conforman al corrector de armónicos, el rectificador controlado topología Sepic, y el convertidor DC-DC topología Buck, se realizaron las siguientes conclusiones:

Rectificador Controlado

El diseño del sistema completo del corrector de armónicos es válido, en la simulación se han obtenido errores inferiores al 5 % para las variables de mayor interés, y en definitiva, los parámetros más importantes como la distorsión armónica de la corriente de línea, y el factor de potencia total para todos los casos de diseño estuvieron dentro de los rangos admisibles. Si bien uno de los objetivos no era la implementación física total del Corrector de Armónicos (básicamente se pretendía estudiar su funcionamiento, y a través de ello proponer estrategias de control y dimensionar todos y cada uno de sus componentes), es innegable el hecho de que el sistema es realizable, y hay que valorar el hecho que las técnicas de control del lazo de corriente y voltaje no se han implementado de forma conjunta como se ha planteado en este proyecto, dando un aporte al conocimiento en la universidad y en general a la comunidad interesada en el tema. Los elementos dimensionados en su mayoría deben ser adquiridos en el mercado internacional, dado que en el nacional no se logran encontrar, en especial el controlador digital escogido, el cual es de una familia de microcontroladores de alta gama. Es importante entender que el sistema educativo actual promueve la elaboración de trabajos los cuales pueden y deben ser mejorados por futuros estudiantes. Este trabajo representa el primer paso por el estudio sólido de la calidad de la energía apuntando a la digitalización, como impone el mundo actual. La implementación digital del control, no es mas que una pequeña expansión de conceptos adquiridos en las cátedras de microcontroladores y control automático.

El hecho de escoger una metodología de control por histéresis de la corriente facilitó el diseño del software del controlador, y como alcance para futuros trabajos sería muy interesante comprobar si mediante esta técnica se eleva la eficiencia del corrector de armónicos, dado que deberían disminuir las pérdidas del dispositivo de potencia controlado.

La elección de la topología Sepic como etapa de potencia permitió que los elementos necesarios no tuviesen costos prohibitivos. Además se observó en simulación como efectivamente el stress que los mismos sufren es menor al que sufrirían en otras topologías.

Convertidor Buck

- Se comprobó la idoneidad del espacio de estados para el análisis de convertidores conmutados
- Se comprobó también la veracidad del modelo y su utilidad siempre y cuando se respeten las limitaciones impuestas durante el modelamiento.
- Se probó el carácter mandatorio de la inclusión de las pérdidas al momento de hallar el modelo.
- Si bien la estrategia de control proporcional es naturalmente inferior a la basada en el factor k , se demostró que esta es una buena alternativa para aplicaciones donde existe cierta flexibilidad en las especificaciones de pequeña y gran señal.
- Los bajos porcentajes de error obtenidos validan las metodologías de análisis y diseño presentadas en este trabajo.
- Se reafirmó el aumento en la robustez que manifiesta el sistema cuando el controlador es diseñado utilizando el factor k .
- Fue interesante y muy educativo implementar este convertidor con un Mosfet, en muchas aplicaciones comerciales no lo hacen de esta manera, sino mediante la conmutación por transistores controlador por corriente (BJT), debido a que el hecho de activar el mosfet es considerablemente más complejo que activar un BJT. Gracias a ello se lograron obtener formas de ondas muy cercanas a rectángulos perfectos, eliminando el efecto de curvatura en la onda que generan los

BJT para aplicaciones de alta potencia. La resistencia de compuerta del Mosfet fue escogida por ensayo-error para disminuir las oscilaciones del transitorio del tren de pulsos, esto se entiende teniendo en cuenta la red RC que se forma entre dicha resistencia y la capacitancia equivalente entre compuerta y fuente del mosfet.

Si bien se pudieron implementar metodologías de control basadas en el mismo espacio de estados, su utilización se considera un trabajo mas extenso, que requiere mas tiempo y mayores conocimientos. Se utilizaron metodologías de diseño basadas en conocimientos previamente adquiridos, aún así hubo la necesidad de un estudio considerable de los sistemas lineales dinámicos. Las metodologías de diseño de los compensadores están fundadas en el análisis en el dominio de la frecuencia, el cual es del dominio de todos los estudiantes egresados de pregrado. En suma, se considera al modelamiento en el espacio de estados, junto a los otros conceptos involucrados, una derivación natural de la preparación que los autores han recibido durante el pregrado.

Recomendaciones para hacer en futuras aplicaciones

Para trabajos futuros se propone el estudio de topologías de convertidores conmutados con mayor capacidad de manejo de energía, y por consiguiente de mayor complejidad.

Se recomienda continuar utilizando el espacio de estados como herramienta, además de explorar metodologías de control no lineales.

En lo que respecta al rectificador conmutado, se propone finalizar la implementación física utilizando diversas metodologías de control y verificar si efectivamente el control por histéresis representa un aumento en la eficiencia global del sistema.

Se recomienda intensificar los esfuerzos por disminuir la cantidad de ruido electromagnético que produce el sistema, en el presente trabajo se han realizado esfuerzos utilizando capacitores de desacoplo, teniendo en cuenta ciertas recomendaciones a la hora de diseñar las PCB's, y también controlando las tasas máximas de crecimiento de las corrientes a través de las pistas de potencia, aún así, como se observa en todos los gráficos de la experimentación, los niveles de inducción siguen siendo muy altos.

Bibliografía

- [1] KARVE SHRI, [en línea]. Guía de calidad de la energía eléctrica – Compensadores activos de armónicos. Education and Culture Leonardo da Vinci, MGE UPS SYSTEMS, 2001. Disponible en: <http://www.leonardo-energy.org/espanol/lee-guia_calidad/Guia%20Calidad%203-3-3%20Armonicos%20-%20Compensadores%20activos.pdf>.
- [2] YUNGTAEK JANG AND MILAN M. JOVANOVIĆ, [en línea]. Bridgeless Buck PFC Rectifier. Power Electronics Laboratory, Delta Products Corporation. Disponible en: <<http://www.deltartp.com/dpel/dpelconferencepapers/YJang%20APEC10%20pp23-29.pdf>>.
- [3] LASZLO HUBER, YUNGTAEK JANG AND MILAN M. JOVANOVIĆ, [en línea]. Performance Evaluation of Bridgeless PFC Boost Rectifiers. Power Electronics Laboratory, Delta Products Corporation. Disponible en: <<http://www.dianyuan.com/bbs/u/53/959801179318168.pdf>>.
- [4] C. ADRAGNA AND G. GATTAVARI, [en línea]. Flyback converters with the L6561 PFC Controller. Application Note, AN1060. Disponible en: <<http://www.datasheetcatalog.org/datasheet/SGSThompsonMicroelectronics/mXyytxr.pdf>>.
- [5] GAO QIANG, [en línea]. Research on cascade Converter with Passive Lossless Snubber. Disponible en: <http://www.eepw.com.cn/event/action/murata/pdf/%E9%AB%98%E5%BC%BA%uRata-Research_on_cascade_Converter_with_Passive_Lossless_Snubber.pdf>.
- [6] S. R. SAÑUDO Y A. OLIVA, [en línea]. Corrector de Factor de Potencia monofásico en configuración Cuk. Instituto de Investigaciones en Ingeniería Eléctrica “Alfredo Desages” Departamento de Ingeniería Eléctrica y de Computadoras, Universidad Nacional del Sur. Disponible en: <<http://ewh.ieee.org/sb/argentina/comahue/ed1/Papers/2EdRateRpic05/TRATE06-003.pdf>>.
- [7] YIQING ZHAO, [en línea]. Single Phase Power Factor Correction Circuit With Wide Output Voltage Range. Thesis submitted to the faculty of the Virginia Polytechnic Institute and State University in partial fulfillment of the requirements for the degree of Master of Science in Electrical Engineering. February 6, 1998. Blacksburg, Virginia. Disponible en: <<http://scholar.lib.vt.edu/theses/available/etd-11198-13295/unrestricted/etd.pdf>>.
- [8] L. ROSSETO, G.SPIAZZI, P. TENTI, [en línea]. Control Techniques For Power Factor Correction Converters. Department of Electrical, Electronics and Informatics Engineering. University of Padova. Padova, Italy. Disponible en: <<http://space.dianyuan.com/blog/u/51/1174286041.pdf>>.

- [9] IEEE Std 519-1992 “IEEE Recommended Practices and Requirements for Harmonic Control in Electrical Power Systems”.
- [10] ERICKSON ROBERT W – MAKSIMOVIE DRAGAN. Fundamentals of Power Electronics. Norwell - Massachusetts: Kluwer Academic Publishers, 1999. Página 597.
- [11] RIDLEY RAY [en línea]. Analyzing the Sepic Converter. Power Systems Design Europe. November 2006. Disponible en: <[http://www.switchingpowermagazine.com/downloads/Sepic %20Analysis.pdf](http://www.switchingpowermagazine.com/downloads/Sepic%20Analysis.pdf)>.
- [12] VATCHÉ VORPÉRIAN. Fast analytical techniques for electrical and electronic circuits. United Kingdom, Cambridge University, 2002. 472 p.
- [13] MOHAN NED. First Course on Power Electronics And Drivers. United States, Minneapolis, 2003. 271 p.
- [14] BASSO CHRISTOPHE P. Switch-Mode Power Supplies. United States, Massachusetts, 2006.
- [15] VENABLE DEAN H [en línea]. The K Factor: A New Mathematical Tool For Stability Analysis And Synthesis. Venable Industries, Inc. 2120 W. Braker Lane. Disponible en: <[http://www.icwic.com/icwic/data/pdf/cd/cd057/Switching, %20DC-DC %20Regulator, %20Controller/1184.pdf](http://www.icwic.com/icwic/data/pdf/cd/cd057/Switching,%20DC-DC%20Regulator,%20Controller/1184.pdf)>.
- [16] SLOBODAN M. CUK [en línea]. Modelling, Analysis, And Design of Switching Converters. Thesis submitted to the faculty of the California Institute of Technology in partial fulfillment of the requirements for the degree of Doctor of Philosophy. November 29, 1976. Pasadena, California. Disponible en: <http://thesis.library.caltech.edu/1157/1/Cuk_sm_1977.pdf>.
- [17] DUNN JAMIE [en línea]. Matching MOSFET Drivers to MOSFET's. Microchip Tecnology Inc. AN799. 2004. USA. Disponible en: <<http://ww1.microchip.com/downloads/en/AppNotes/00799b.pdf>>.
- [18] INTERNATIONAL RECTIFIER. High and Low Side Driver. International Rectifier. Data Sheet No. PD-6.011.
- [19] INTERNATIONAL RECTIFIER. HV Floating MOS-Gate Driver ICs. Application Note AN-978 Rev D.2007. USA
- [20] LCARDABA [en línea]. Disipación térmica en semiconductores. Cálculo de radiadores. Madrid. 2008. Disponible en: <<http://www.lcardaba.com/articles/heatsinks/heatsinks.htm#propagacion>>.
- [21] UNIVERSIDAD DE OVIEDO [en línea]. Dispositivos semiconductores de potencia. Interruptores. Lección 17.4. Disponible en: <[http://www.ate.uniovi.es/ribas/Docencia04_05/Electronica_de_Potencia_12750 /Presentaciones/Leccion17_MOSFET.pdf](http://www.ate.uniovi.es/ribas/Docencia04_05/Electronica_de_Potencia_12750/Presentaciones/Leccion17_MOSFET.pdf)>.
- [22] GRIFFITH PATRICK [en línea]. Designing Switching Voltage Regulators With The TL494. Dallas, Texas. 2001. Disponible en: <<http://www.ti.com/lit/an/slva001e/slva001e.pdf>>.